



#4  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: The Application of

Kaisuki KOJIMA

Group Art Unit: Unknown

Application No.: 10/086,543

Examiner: Unknown

Filed: March 4, 2002

Docket No.: 112117

For: DRIVING METHOD AND DEVICE OF ELECTRO-OPTIC ELEMENT, AND  
ELECTRONIC EQUIPMENT

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2001-067646, filed March 9, 2001;

Japanese Patent Application No. 2001-294702 filed September 26, 2001;

Japanese Patent Application No. 2001-377794 filed December 11, 2001; and

Japanese Patent Application No. 2002-014765 filed January 23, 2002.

In support of this claim, certified copies of said original foreign applications:

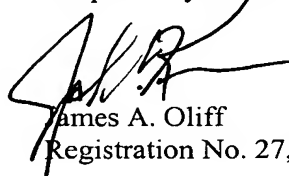
  X   are filed herewith.

           were filed on            in Parent Application No.            filed           .

           will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,



James A. Oliff  
Registration No. 27,075

John S. Kern  
Registration No. 42,719

JAO:JSK/kap

Date: May 28, 2002

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月11日

出 願 番 号

Application Number:

特願2001-377794

[ST:10/C]:

[JP2001-377794]

出 願 人

Applicant(s):

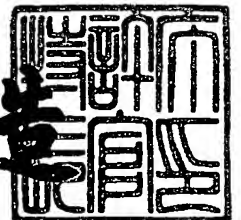
セイコーエプソン株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 2月19日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3008365

【書類名】 特許願

【整理番号】 J0088564

【提出日】 平成13年12月11日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 電気光学素子の駆動方法、駆動装置及び電子機器

【請求項の数】 23

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 小島 大輔

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 伊藤 昭彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 67646

【出願日】 平成13年 3月 9日

【先の出願に基づく優先権主張】

【出願番号】 特願2001-294702

【出願日】 平成13年 9月26日

【代理人】

【識別番号】 100098084

【弁理士】

【氏名又は名称】 川▲崎▼ 研二

【手数料の表示】

【予納台帳番号】 038265

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606536

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学素子の駆動方法、駆動装置及び電子機器

【特許請求の範囲】

【請求項 1】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記階調データに対応する期間を確保するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から、前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項 2】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間は、同一のフレーム期間に含まれる

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 3】 前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の一部のサブフィールド期間は、連続する 2 つのフレーム期間のうちの一方向のフレーム期間に含まれ、他部のサブフィールド期間は、他方のフレーム期間に含まれる

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 4】 前記一部のサブフィールド期間は、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間のうちの一方向のサブフィールド期間であり、前記他部のサブフィールド期間は、他方のサブフィールド期

間である

ことを特徴とする請求項 3 記載の電気光学素子の駆動方法。

【請求項 5】 前記駆動ステップは、前記階調データに拘わらず、前記電気光学素子をオンにする期間を前記境界に挿入する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 6】 前記駆動ステップは、前記階調データが零を表すとき、前記電気光学素子をオフにし、それ以外るとき、前記電気光学素子をオンにする期間を前記境界に挿入する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 7】 前記選択ステップにおいて第 2 のサブフィールド期間を選択したとき、

前記駆動ステップでは、当該第 2 のサブフィールド期間の間、前記電気光学素子を 2 回以上に分けてオンにする

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 8】 選択された第 2 のサブフィールド期間の間、前記電気光学素子を 2 回以上に分けてオンにする場合に、1 回オンにする期間は、前記複数の第 1 のサブフィールド期間のいずれかを単位とする

ことを特徴とする請求項 7 記載の電気光学素子の駆動方法。

【請求項 9】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記 N 個のビットのうちの上位側 M 個のビットは、前記複数の第 2 のサブフィールド期間が表示すべき階調を規定し、

前記 N 個のビットのうちの下位側 (N - M) 個のビットは、前記複数の第 1 のサブフィールド期間が表示すべき階調を規定し、

前記 M は、前記フレーム期間が  $(2^{N-M} - 1)$  個の第 1 のサブフィールド期間を含むことを想定したときに与えられる M の最適解である

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 10】 上記階調データは、2 の N 乗の種類を有する前記階調を規定するための N 個のビット (N は、2 以上の整数) からなり、

前記各第 2 のサブフィールド期間の長さは、前記 N 個のビットに含まれる上位側 M 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 2 のサブフィールド期間の個数は、前記 M 個のビットにより表される最大の数に相当し、

前記各第 1 のサブフィールド期間の長さは、前記 N 個のビットに含まれる下位側 (N - M) 個のビットのうちの最下位ビットが規定する階調を表すための期間の長さに相当し、

前記複数の第 1 のサブフィールド期間の個数は、前記 (N - M) 個のビットにより表される最大の数に相当する

ことを特徴とする請求項 1 記載の電気光学素子の駆動方法。

【請求項 1 1】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、

前記複数のフレーム期間を構成する各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項 1 2】 前記選択ステップは、前記各フレーム期間毎に選択すべき

第1のサブフィールド期間の個数を、前記階調データのうち前記複数のフレーム期間に含まれる前記複数の第1のサブフィールド期間を通じて表示すべき階調を規定する階調データ部分に従って決定する

ことを特徴とする請求項1記載の電気光学素子の駆動方法。

【請求項13】 前記選択ステップは、前記複数のフレーム期間を通じて表示すべき前記階調と、前記各フレーム期間に前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間のうちの選択すべきサブフィールド期間の位置との対応関係を規定する表に従って、選択する

ことを特徴とする請求項1記載の電気光学素子の駆動方法。

【請求項14】 上記階調データは、2のN乗の種類を有する前記階調を規定するためのN個のビット（Nは、2以上の整数）からなり、

前記N個のビットのうちの上位側M個のビットは、前記複数の第2のサブフィールド期間が表示すべき階調を規定し、

前記N個のビットのうちの下位側（N-M）個のビットは、前記複数の第1のサブフィールド期間が表示すべき階調を規定し、

前記Mは、前記フレーム期間が  $(2^{N-M} - 1) / F$  個（Fは、前記複数のフレームの数を表す）の第1のサブフィールド期間を含むことを想定したときに与えられるMの最適解である

ことを特徴とする請求項1記載の電気光学素子の駆動方法。

【請求項15】 前記  $(2^{N-M} - 1) / F$  が余りを生じるときには、前記第1のサブフィールド期間の数として、前記  $(2^{N-M} - 1) / F$  の商の整数部分に1を加算した数を用いる

ことを特徴とする請求項14記載の電気光学素子の駆動方法。

【請求項16】 フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動方法であって、

前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に



選択するとともに、

前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための 1 以上の第 2 のサブフィールド期間であって、一の期間が前記複数の第 1 のサブフィールド期間の合計期間以上長く設定された第 2 のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択ステップと、

選択された第 1 および第 2 のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動ステップと

を含むことを特徴とする電気光学素子の駆動方法。

【請求項 1 7】 前記選択ステップにおいて第 2 のサブフィールド期間を選択したとき、

前記駆動ステップでは、当該第 2 のサブフィールド期間の間、前記電気光学素子を 2 回以上に分けてオンにする

ことを特徴とする請求項 1 7 記載の電気光学素子の駆動方法。

【請求項 1 8】 電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって

前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数の第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動

回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項 19】 電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、

各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第 1 のサブフィールド期間、及び該複数の第 1 のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第 1 のサブフィールド期間及び他の一の第 1 のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第 2 のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第 1 のサブフィールド期間及び前記複数の第 2 のサブフィールド期間の境界に接して位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間から前記境界から最も離れて位置する第 1 のサブフィールド期間及び第 2 のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、

前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項 20】 フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動装置であって、

前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための 2 以上の第 1 のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、

前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための 1 以上の第 2 のサブフィールド期間であって、一の期間が前記複数の第 1 のサブ

フィールド期間の合計期間以上長く設定された第 2 のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択回路と、

選択された第 1 および第 2 のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動回路と

を含むことを特徴とする電気光学素子の駆動装置。

【請求項 2 1】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 1 8 記載の電気光学素子の駆動装置と  
を備えることを特徴とする電子機器。

【請求項 2 2】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 1 9 記載の電気光学素子の駆動装置と  
を備えることを特徴とする電子機器。

【請求項 2 3】 マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、

請求項 2 0 記載の電気光学素子の駆動装置と  
を備えることを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、パルス幅変調を用いて、電気光学素子である画素を駆動する画素の駆動方法、駆動装置及び電子機器に関する。

【 0 0 0 2 】

【従来の技術】

従来、マトリクス状に配置された複数の画素を、該画素を選択するための走査信号及び前記画素が表示すべき階調を規定するためのデータ信号を用いて駆動するという画素の駆動方法が用いられている。該画素の駆動方法のうち、表示画像の画質を向上させる等のために、1 フレーム内に設けられている複数の期間（以

下、「サブフィールド」という。)の各期間に、前記データ信号の印加を全ての画素について行うというサブフィールド駆動が提案されている。

#### 【0003】

該サブフィールド駆動によれば、前記各サブフィールドで、各画素に前記データ信号としてオン（例えば、白）を表すための電圧（例えば、ハイパルス）又はオフ（例えば、黒）を表すための電圧（ローパルス）のうちのいずれかを印加し、これにより、1フレーム内で各画素に前記データ信号によりパルス幅変調を施し、その結果として、前記画素に、例えば64階調のうちの一つの階調を表示させることができる。

#### 【0004】

##### 【発明が解決しようとする課題】

しかしながら、従来の $2^N$ 階調でN個のサブフィールドで駆動するような場合、前記フレームに含まれる前記複数のサブフィールドの中から、前記オンの電圧を印加すべきサブフィールドが何ら規則性無く選択されることから、例えば、本来同一階調を表示しなければならないにも拘わらず、選択された前記サブフィールド同士的位置関係の無規則性に起因して、異なる階調を表示するという問題があった。

#### 【0005】

図34は、従来のサブフィールドの選択を示す。図34に示すように、1フレーム内でオンのためのハイパルスが連続しないAのデータ信号の波形と、ハイパルスが連続するBのデータ信号の波形とを比較すると、ハイパルスの長さの合計がAとBとで同じであるにも拘らず、Aのデータ信号の波形により表示される階調が、Bのデータ信号の波形により表示される階調より高い、即ち、明るいという問題があった。

#### 【0006】

また、 $2^N$ 階調で $(2^N - 1)$ 個のサブフィールドで駆動するような場合、サブフィールド数が多く、1フレーム期間に画素に電圧を書き込む回数が増加し、消費電力が増える。

さらに、階調の数を増加させること、即ち、多階調化に伴い各サブフィールド

の長さをより短くしなければならないことから、前記データ信号の印加を時間的な制約の下に行わなければならない、前記データ信号の印加を高精度に制御することが困難であるという問題もあった。

#### 【0007】

上記問題を解決するために、本発明の目的は、不規則に選択されるサブフィールドの位置に起因する階調の相違を回避することができる画素の駆動方法、駆動回路及び電子機器を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

本発明に係る電気光学素子の駆動方法は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記階調データに対応する期間を確保するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数の第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップとを含むことを特徴とする。

#### 【0009】

本発明に係る他の電気光学素子の駆動方法は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動方法であって、前記複数のフレーム期間を構成する各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互

に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての前記複数の第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って順次選択する選択ステップと、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動ステップと、を含むことを特徴とする。

## 【 0 0 1 0 】

本発明に係る他の電気光学素子の駆動方法は、フレーム期間を単位として電気光学素子に階調を表示させる電気光学素子の駆動方法であって、前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための1以上の第2のサブフィールド期間であって、一の期間が前記複数の第1のサブフィールド期間の合計期間以上長く設定された第2のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択ステップと、選択された第1および第2のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動ステップとを含むことを特徴とする。

## 【 0 0 1 1 】

本発明に係る電気光学素子の駆動装置は、電気光学素子がフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子

をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数の第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路とを含むことを特徴とする。

## 【 0 0 1 2 】

本発明に係る他の電気光学素子の駆動装置は、電気光学素子が複数のフレーム期間を通じて表示すべき階調を規定する階調データに対応する期間の間、前記電気光学素子をオンにすることにより、前記電気光学素子に前記階調を表示させる電気光学素子の駆動装置であって、各フレーム期間に含まれる、前記階調データに対応する期間を特定するために用いる相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続し、それぞれが前記複数のフレーム期間に含まれる全ての第1のサブフィールド期間及び他の一の第1のサブフィールド期間の合計期間の長さに実質的に相当する、相互に連続する複数の第2のサブフィールド期間を、前記各フレーム期間毎に、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界に接して位置する第1のサブフィールド期間及び第2のサブフィールド期間から前記境界から最も離れて位置する第1のサブフィールド期間及び第2のサブフィールド期間の方向に前記階調データに従って選択する選択回路と、前記各フレーム期間毎に、選択された前記サブフィールド期間の間、前記電気光学素子をオンにする駆動回路と、を含むことを特徴とする。

## 【 0 0 1 3 】

本発明に係る電気光学素子の駆動装置は、フレーム期間を単位として電気光学

素子に階調を表示させる電気光学素子の駆動装置であって、前記フレーム期間内に存在する基準点に対し時間的に前方または後方のいずれかの一方の側にて互いに隣接し、前記電気光学素子をオンまたはオフさせるための2以上の第1のサブフィールド期間を、前記階調を規定するデータのうち下位ビットで示される値にしたがって前記基準点から前記一方の側に向かって順番に選択するとともに、前記基準点に対し時間的に前方または後方のいずれか他方の側に、存在するまたは互いに隣接するとともに、前記電気光学素子をオンまたはオフさせるための1以上の第2のサブフィールド期間であって、一の期間が前記複数の第1のサブフィールド期間の合計期間以上長く設定された第2のサブフィールド期間を、前記データのうち前記下位ビットを除いた上位ビットで示される値にしたがって前記基準点から前記他方の側に向かって順番に選択する選択回路と、選択された第1および第2のサブフィールド期間の間、前記電気光学素子を継続的にオン（またはオフ）にする駆動回路とを含むことを特徴とする。

## 【 0 0 1 4 】

本発明に係る電子機器は、マトリクス状に配置された複数の電気光学素子を含み、電子機器に関連する画像を表示するための表示装置と、上記電気光学素子の駆動装置のいずれかとを備えることを特徴とする。

## 【 0 0 1 5 】

## 【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して説明する。

## 〔第1の実施の形態〕

本発明に係る画素の駆動方法であるサブフィールド駆動方法を用いた電気光学装置について説明する。

図1は、第1の実施の形態の電気光学装置の構成を示す。該電気光学装置は、素子基板及び対抗基板間に複数の画素をマトリクス状に備えており、1フレーム、即ち1フレームの期間に、行方向(X)に並ぶ所定数の画素を同時に選択することを垂直方向に順次行う、即ち、線順次を行うと共に、階調を規定するための信号、即ち、0又は±Vを画素に印加することにより、各画素に前記階調を表示させる。より詳しくは、前記電気光学装置は、例えば、一の行に配列された所定



数の画素を、1フレームを構成する複数のサブフィールドの各サブフィールド毎に選択する。いずれのサブフィールドで前記画素に電圧を印加するかにより、1フレーム内で前記画素にパルス幅変調を施す。これにより、前記画素に印加する電圧実効値を変え、前記画素に1フレーム間に階調を表示させることができる。

以下、 $\pm V$ を印加することを“オン”といい、0を印加することを“オフ”という。なお、液晶は交流駆動を必要とすることから、 $+V$ の印加と $-V$ の印加とは、階調の観点からは実質的に同義である。

#### 【0016】

図10は、サブフィールドを示す。1フレーム(1F)は、図10に示されるように、サブフィールドSF1～SF7から構成されている。サブフィールドSF1～SF3の長さの重み付けは小さく設定されており、他方、サブフィールドSF5～SF7の長さの重み付けは、大きく設定されている。例えば、電気光学装置に供給される、画素が表示すべき階調を規定する階調データが4ビットにより16階調を定めることを想定すると、サブフィールドSF1～SF3の長さは、「1」階調に相当し、他方、サブフィールドSF5～SF7の長さは、「4」階調に相当する。即ち、サブフィールドSF5～SF7の長さは、3つのサブフィールドSF1～SF3の合計の長さ、これらのうちの1つのサブフィールドの長さ、とを合計した長さに実質的に相当する。液晶の駆動に関する閾値電圧 $V_{th}$ を与えるために、前記サブフィールドSF1～SF3及び前記サブフィールドSF5～SF7の間の設けられているサブフィールドSF4を、階調に拘らず常時オン状態にする。

#### 【0017】

サブフィールドSF5～SF7(における画素)のオン/オフ状態は、上記4ビットの階調データの上位2ビットにより定める。換言すれば、サブフィールドSF5～SF7は、前記上位2ビットに従って、サブフィールドSF5からサブフィールドSF7の方向に沿って順次選択される。例えば、上位2ビットが“00”のときは、サブフィールドSF5～SF7の全てをオフ状態にし、“01”のときは、サブフィールドSF5のみをオン状態にし、“10”のときは、サブフィールドSF5及びSF6をオン状態にし、“11”のときは、サブフィール

ドSF5～SF7の全てをオン状態にする。

【0018】

サブフィールドSF1～SF3のオン／オフ状態は、上記4ビットの階調データの下位2ビットにより定める。換言すれば、サブフィールドSF1～SF3は、前記下位2ビットに従って、サブフィールドSF3からサブフィールドSF1の方向に沿って順次選択される。例えば、下位2ビットが“00”のときは、サブフィールドSF1～SF3の全てをオフ状態にし、“01”のときは、サブフィールドSF3のみをオン状態にし、“10”のときは、サブフィールドSF2及びSF3をオン状態にし、“11”のときは、サブフィールドSF1～SF3の全てをオン状態にする。

【0019】

サブフィールドSF5～SF7及びサブフィールドSF1～SF3のオン／オフ状態についてより詳述すれば、例えば、階調データが「9」階調を規定する“1001”であるとき、図10に示されるように、サブフィールドSF5及びSF6をオン状態にし、かつサブフィールドSF3をオン状態にする。また、例えば、階調データが「14」階調を規定する“1110”であるとき、図10に示されるように、サブフィールドSF5～7の全てをオン状態にし、かつサブフィールドSF2及びSF3をオン状態にする。

【0020】

ここで、2のN乗（Nは、2以上の整数）の階調数の階調を規定するNビットの階調データを上位Mビット（Mは、Nより小さい正の整数）と下位（N-M）ビットとに分けることを想定すると、前記下位（N-M）ビットに対応する複数の第1のサブフィールドの個数、及び前記上位Mビットに対応する複数の前記第2のサブフィールドの個数は、それぞれ、 $(2^{N-M}-1)$ 個、 $(2^M-1)$ 個であり、さらに、前記第1のサブフィールドの重み付けが $\alpha$ であることを想定すると、前記第2のサブフィールドの重み付けは、 $\alpha 2^{N-M}$ になる。

【0021】

上記したように、前記階調データに応じて、相互に連続する複数のサブフィールド（SF5～SF7）と、相互に連続する複数のサブフィールド（SF1～S

F 3) とを、実質的に相互に隣接するサブフィールド S F 5 及び S F 3 間の境界から、換言すれば、サブフィールド S F 4 からサブフィールド S F 1 またはサブフィールド S F 7 の方向に順番に選択することから、すなわち、上記サブフィールド S F 1 ~ S F 3、サブフィールド S F 5 ~ S F 7 を、フレーム期間の中央から外側へ順次選択する。したがって、階調データの値に拘わらず、オン状態にすべきサブフィールドを連続的に選択することができ、これにより、サブフィールドの非連続性に起因する階調の不具合の発生を回避することが可能になる。

## 【 0 0 2 2 】

また、上位ビットのサブフィールドと下位ビットのサブフィールドとの境界に常時オンとすべきサブフィールド S F 4 を設けることにより、上記の連続性を維持した上で、液晶の特性に応じた電圧実効値を液晶に印加することができることから、階調制御を的確に行なうことができる。

## 【 0 0 2 3 】

図 1 に戻り、電気光学装置は、図 1 に示されるように、表示部 1 0 1 a と、発振回路 1 5 0 と、タイミング信号生成回路 2 0 0 と、データ変換回路 3 0 0 と、走査線駆動回路 1 3 0 と、データ線駆動回路 1 4 0 とを含む。

## 【 0 0 2 4 】

表示部 1 0 1 a には、前記複数の画素 1 1 0 が m 行 × n 列に配置されており、該複数の画素 1 1 0 を選択するための走査線 1 1 2 が X (行) 方向に延在して形成され、他方、前記複数の画素 1 1 0 に前記階調を規定するデータ信号を供給するためのデータ線 1 1 4 が Y (列) 方向に延在して形成されている。

## 【 0 0 2 5 】

タイミング信号生成回路 2 0 0 には、上位装置 (図示せず) から供給される垂直同期信号 V s、水平同期信号 H s および入力階調データ D 0 ~ D 3 のドットクロック信号 D C L K、並びに発振回路 1 5 0 から供給される読み出しタイミングの基本クロック R C L K に基づき、図 1 に示されるような信号 L C O M、F R、D Y、C L Y、L P、及び C L X を生成する。

## 【 0 0 2 6 】

駆動信号 L C O M は、前記複数の画素 1 1 0 を駆動するために対向基板の対向

電極に印加される一定電位（零電位）である。交流化信号FRは、1フレーム毎に、液晶への印加電圧を極性反転するタイミングを指し示す。スタートパルスDYは、各サブフィールドSF1～SF7の位置を指し示す。クロック信号CLYは、走査側（Y側）の水平走査期間を規定するために用いられる。ラッチパルスLPは、水平走査期間（1H）を規定する。クロック信号CLXは、表示用のドットクロック信号である。

## 【0027】

データ変換回路300は、4ビットで16階調を規定する階調データD0～D3を供給される。ここで、例えば、D3は、最上位ビットであり、他方、D0は、最下位ビットである。データ変換回路300は、前記階調データD0～D3に基づきデータ信号Dsを生成し、該データ信号Dsをデータ線駆動回路140に出力する。

## 【0028】

走査線駆動回路130は、前記表示部101aに含まれるm本の走査線112に、前記タイミング信号生成回路200から出力される信号DY及びCLYに基づき、走査信号G1、G2、G3、…、Gmをそれぞれ供給して、水平走査期間1Hの期間に前記m本の走査線112のそれぞれを複数回選択し、より具体的には、1フレームが図10に示す7個のサブフィールドから構成されているときには、1フレーム内で各走査線112を7回選択する。データ線駆動回路140は、選択された走査線112に係る1行分の画素110に、前記タイミング信号生成回路200から出力される信号FR、LP及びCLX、並びに前記データ変換回路300から出力されるデータ信号Dsに基づき、データ信号d1、d2、d3、…、dnを、n本のデータ線114を介してそれぞれ供給する。

## 【0029】

図2(a)は、表示部に設けられている画素の構成を示す。図に示されるように、薄膜トランジスタ（TFT）116のゲート、ソース及びドレインが前記走査線112、前記データ線114、及び画素電極118にそれぞれ接続されており、画素電極118と対向電極108との間に電気光学材料たる液晶105が挟持されている。画素電極118と対向電極108との間には電荷を保持するため

の蓄積容量 1 1 9 が形成されている。

#### 【 0 0 3 0 】

画素電極 1 1 8 への印加電圧及びデータ線 1 1 4 への印加電圧の間のオフセット電圧を軽減するためには、図 2 ( a ) に示された構成の画素より、図 2 ( b ) に示された、 P チャンネル型トランジスタと N チャンネル型トランジスタとを相補的に組み合わせた構成の画素が望ましい。図 2 ( a ) に示すように、一方のチャンネル型のトランジスタが用いられている場合は、オフセット電圧が必要になる。

#### 【 0 0 3 1 】

図 3 ( a ) 、 ( b ) は、電気光学装置の構造を示す。該電気光学装置 1 0 0 は、図 1 に示された構成要素に加えて、例えば、シール材 1 0 4 、遮光膜 1 0 6 、偏向板、配向膜及びカラーフィルタを備えている。

#### 【 0 0 3 2 】

図 4 は、データ線駆動回路の構成を示す。図 1 に示したデータ線駆動回路 1 4 0 は、図 4 に示されるように、 X シフトレジスタ 1 4 0 2 と、第 1 のラッチ回路 1 4 0 4 と、第 2 のラッチ回路 1 4 0 6 と、電位選択回路 1 4 0 8 とから構成されている。

X シフトレジスタ 1 4 0 2 は、タイミング信号生成回路 2 0 0 から供給されるラッチパルス L P を、前記タイミング信号生成回路 2 0 0 から供給されるクロック信号 C L X に従ってラッチ信号 S 1 、 S 2 、 S 3 、 … 、 S n として第 1 のラッチ回路 1 4 0 4 に順次供給する。

#### 【 0 0 3 3 】

第 1 のラッチ回路 1 4 0 4 は、データ変換回路 3 0 0 から出力される前記データ信号 D s を、前記ラッチ信号 S 1 、 S 2 、 S 3 、 … 、 S n の立ち下がりで順次ラッチする。第 2 のラッチ回路 1 4 0 6 は、第 1 のラッチ回路 1 4 0 4 によりラッチされた前記データ信号 D s を前記ラッチパルス L P の立ち下がりで一斉にラッチし、電位選択回路 1 4 0 8 に転送する。

#### 【 0 0 3 4 】

電位選択回路 1 4 0 8 は、タイミング信号生成回路 2 0 0 から出力される前記交流化信号 F R に基づき、前記ラッチしたデータ信号 D s をデータ信号 d 1 、 d

2、 $d_3$ 、 $\dots d_n$ に変換し、データ線114に印加する。すなわち、交流化信号FRがLレベルであるときは、データ信号 $d_1$ 、 $d_2$ 、 $d_3$ 、 $\dots$ 、 $d_n$ のHレベルを $+V_1$ に変換し、他方、交流化信号FRがHレベルであるときには、データ信号 $d_1$ 、 $d_2$ 、 $d_3$ 、 $\dots$ 、 $d_n$ のHレベルを $-V_1$ に変換する。交流化信号FRがLであるかHであるかに拘わらず、データ信号 $d_1$ 、 $d_2$ 、 $d_3$ 、 $\dots$ 、 $d_n$ のLレベルを0電位に変換する。

#### 【0035】

図5は、スタートパルス発生回路の構成を示し、また、図6は、スタートパルス発生回路の動作を示すタイムチャートである。スタートパルス発生回路210は、図1に示したタイミング信号生成回路200に設けられており、スタートパルスDYを生成する。

#### 【0036】

スタートパルス発生回路210は、図5に示されるように、カウンタ211、コンパレータ212、マルチプレクサ213、リングカウンタ214、Dフリップフロップ215、およびオア回路216から構成されている。

カウンタ211は、クロック信号CLYに同期するラインクロック信号LCLKをカウントし、そのカウント値は、オア回路216の出力信号によってリセットされる。

#### 【0037】

リングカウンタ214は、スタートパルスDYの数をカウントし、マルチプレクサ213は、リングカウンタ214のカウント結果S214に基づいて、サブフィールドSF1～SF7の時間を示す計数データDc1、Dc2、 $\dots$ 、Dc7を選択出力する。

コンパレータ212は、カウンタ211のカウント値S211とマルチプレクサ213の出力データ値S213とを比較し、両者が一致するとき、Hレベルである一致信号S212を出力する。コンパレータ212は、カウンタ211のカウント値S211が、サブフィールドの区切りに達すると一致信号S212を出力する。該一致信号は、オア回路216を介してカウンタ211のリセット端子にフィードバックされることから、カウンタ211は、サブフィールドの区切り

から再びカウントを開始する。

【0038】

Dフリップフロップ215は、オア回路216の出力信号を、ラインクロック信号LCLKによってラッチして、スタートパルスDYを生成する。

オア回路216の一方の入力端には、フレームの開始時に、ラインクロック信号LCLKの1周期の期間だけHレベルとなるリセット信号RESETが供給される。これにより、カウンタ211のカウント値は、フレームの開始時点にリセットされる。

【0039】

一致信号S212が立ち上がると、まず、ラインクロック信号LCLKの立ち上がりタイミングで、スタートパルスDYが立ち上がる。一方、前記ラインクロック信号LCLKの立上りによって、カウント値S211と出力データ値S213とが一致しなくなることから、一致信号S212は、Lレベルになる。従って、次にラインクロック信号LCLKが立ち上がったときに、該Lレベルである一致信号S212がDフリップフロップ215にラッチされることから、スタートパルスDYがLレベルになる。このようにして、各サブフィールドの最初にスタートパルスDYが出力される。

【0040】

図7は、データ変換回路の構成を示す。図1に示したデータ変換回路300は、書き込みアドレス制御部310、デコーダ312、複数のメモリブロック321～327、表示アドレス制御部330、及びオア回路332を含む。

デコーダ312は、階調データD0～D3が入力されると、前記階調データD0～D3を各サブフィールドSF1～SF3、SF5～SF7のオン/オフ状態に対応するビットデータであるサブフィールドデータSD1～SD3、SD5～SD7に変換する。メモリブロック321～327は、各々サブフィールドデータSD1～SD3、SD5～SD7を記憶するために設けられており、素子基板101の表示領域(m行×n列)に対応して各々m×nビットのメモリ空間を有する。メモリブロック321～327は、書き込みおよび読み出し動作を非同期に、かつ独立して実行する。

## 【0041】

書き込みアドレス制御部310は、垂直同期信号Vs、水平同期信号Hsおよびドットクロック信号DCLKに同期して、ライトイネーブル信号WEおよび書き込みアドレスWADを各メモリブロックに供給する。すなわち、書き込みアドレス制御部310は、ドットクロック信号DCLKをカウントアップし、このカウント結果を書き込みアドレスWADとして出力するとともに、書き込みアドレスWADの値が確定する毎にライトイネーブル信号WEを出力する。また、書き込みアドレス制御部310のカウント結果は、垂直同期信号Vsが入力される毎にリセットされる。これにより、各メモリブロック321～327には、その $m \times n$ ビットのメモリ空間を順次アクセスする書き込みアドレスWADが供給され、サブフィールドデータSD1～SD3、SD5～SD7は対応するメモリブロック内の表示位置に応じたアドレスに順次格納される。

## 【0042】

表示アドレス制御部330は、上記各サブフィールド期間が開始されると、対応する表示行のビットデータをアクセスするアドレス信号RADを出力する。アドレス信号RADは、クロック信号CLXに同期し表示列数に応じて「 $n-1$ 」回インクリメントされる。これにより、対応する表示行に対して第1列～第 $n$ 列のビットを順次アクセスするようなアドレス信号RADが出力される。

## 【0043】

読出し信号RD1～3、RD5～7は、各々対応するサブフィールドSF1～SF3、SF5～SF7の間中は常にイネーブル状態になり、それ以外のサブフィールド期間においてはオフ状態にされる。これにより、各サブフィールドSF1～SF3、SF5～SF7で、対応する一つのメモリブロックのみが読出し可能な状態になり、他のメモリブロックは読出し禁止状態になる。これにより、サブフィールドSF1が開始されると、メモリブロック321から、 $m$ 行 $\times$  $n$ 列のサブフィールドデータSD1が順次読み出される。

## 【0044】

サブフィールドSF2、SF3においても、同様にメモリブロック322、323がアクセスされ、各々 $m$ 行 $\times$  $n$ 列のサブフィールドデータSD2、SD3が



順次読み出される。次に、サブフィールドSF4においては、オン信号S<sub>on</sub>がHレベルに保持される。なお、オン信号S<sub>on</sub>は、サブフィールドSF4以外の期間においてはLレベルに保持される。次に、サブフィールドSF5～SF7においても、同様にメモリブロック325～327がアクセスされ、各々m行×n列のサブフィールドデータSD5～SD7が順次読み出される。オア回路332は、これらサブフィールドデータSD1～SD3、SD5～SD7およびオン信号S<sub>on</sub>の論理和をデータ信号Dsとして出力する。

## 【0045】

図8は、デコーダが用いる真理値表を示す。デコーダ312が用いる該真理値表は、階調データと、サブフィールドSF1～SF3、SF5～SF7のオン／オフを規定する、サブフィールドデータ（SD1～SD3、SD5～SD7）中の1または0との対応関係を示す。例えば、「5」階調（0101）を表すためには、サブフィールドデータSD3及びSD5が1であることから、サブフィールドSF3及びSF5をオン状態にする。

## 【0046】

図9は、第1の実施の形態の信号の波形を示す。交流化信号FRがLレベルとなる1フレーム（1F）において、スタートパルスDYが供給されると、走査線駆動回路130によるクロック信号CLYに従う転送によって、走査信号G1、G2、G3、…、Gmが期間（t）に順次排他的に出力される。期間（t）は、最も短いサブフィールドSF1よりもさらに短い期間に設定されている。

## 【0047】

走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給された後、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される構成となっている。したがって、スタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット（G0）がデータ線駆動回路140に供給される。

## 【0048】

まず、このラッチパルスLPの1ショット(G0)がデータ線駆動回路140に供給されると、データ線駆動回路140におけるクロック信号CLXにしたがった転送によって、ラッチ信号S1、S2、S3、…、Snが、水平走査期間(1H)に順次排他的に出力される。なお、ラッチ信号S1、S2、S3、…、Snは、それぞれクロック信号CLXの半周期に相当するパルス幅を有する。

## 【0049】

図4の第1のラッチ回路1404は、ラッチ信号S1の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、次に、ラッチ信号S2の立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチし、以下、同様に、上から数えて1本目の走査線112と、左から数えてn本目のデータ線114との交差に対応する画素110へのデータ信号Dsをラッチする。

## 【0050】

これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされる。なお、データ変換回路300は、第1のラッチ回路1404によるラッチのタイミングに合わせて、各画素の階調データD0～D3をデータ信号Dsに変換して出力する。

## 【0051】

次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116がすべてオンとなる。一方、当該クロック信号CLYの立ち下がりによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、第2のラッチ回路1406は、第1のラッチ回路1404によって点順次的にラッチされたデータ信号Dsを、電位選択回路1408を介して、対応するデータ線114の各々にデータ信号d1、d2、d3、…、dnとして一斉に供給する。

このため、上から数えて1行目の画素110においては、データ信号d1、d2、d3、…、dnの書込が同時に行われる。

#### 【0052】

この書込と並行して、図1において上から2本目の走査線112との交差に対応する画素1行分のデータ信号Dsが、第1のラッチ回路1404により点順次的にラッチされる。そして、以降同様な動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。すなわち、ある走査信号Gi（iは、 $1 < i < m$ を満たす整数）が出力される1水平走査期間（1H）においては、i本目の走査線112に対応する画素110の1行分に対するデータ信号d1、d2、d3、…、dnの書込と、(i+1)本目の走査線112に対応する画素110の1行分に対するデータ信号Dsの点順次的なラッチとが並行して行われる。なお、画素110に書き込まれたデータ信号は、次のサブフィールドSF2における書込まで保持される。

#### 【0053】

以下同様な動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。さらに、1フレーム経過後、交流化信号FRがHレベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。

#### 【0054】

##### 〔第1の実施の形態の応用〕

上述した第1の実施の形態では、各サブフィールドの開始時においてオンを指示する電圧+V1または-V1のデータ信号を、トランジスタ116のオンにより画素電極118に印加（オン画素書込）しても、画素電極118と対向電極108との間に液晶105を挟持したことによる一種の容量性のために、当該画素電極118の電圧は、実際には、直ちに当該データ信号の電圧とはならない。しかも、各サブフィールドにおけるトランジスタ116のオン期間は、1フレームにおいて垂直走査を1回する通常の駆動と比較して、極めて短い。このため、オンさせるべき画素の画素電極118における電圧は、1回の書込動作では、+V1または-V1に達しない状態となる可能性が高い。換言すれば、1フレームにお

けるオン画素書込の回数が多くなるにつれて、画素電極 118 の電圧は、+V1 または -V1 に近づくことが想定される。

このため、画素の階調は、理想的には、1 フレームにおいてオンするサブフィールドの総期間だけに依存すべきであるが、実際には、1 フレーム当たりにおけるオン画素書込の回数にも依存する傾向が強い。

#### 【0055】

しかしながら、第1実施形態において、1 フレームにおけるオン画素書込の回数は、図10において、各サブフィールドの開始期間において縦太線にて示されるように、階調0、1、2、3では、それぞれ1回、2回、3回、4回であって、階調にしたがって順番に1回ずつ増加するのに対し、階調3よりも1レベル高い階調4では2回になって、逆に2回分減少に転じ、その後、階調5、6、7では、再び階調にしたがって順番に1回ずつ増加する。同様に、階調7では5回であるのに対して階調8では3回になり、階調11では6回であるのに対して階調12では4回になり、それぞれ2回分減少してしまう。

すなわち、第1実施形態では、1 フレーム当たりにおけるオン画素書込の回数は、階調に応じて一様に増加する訳ではない。

#### 【0056】

このため、第1実施形態において、画素に対して指示した階調（指示階調）と、実際の画素による階調（透過率または反射率）とは、図13（a）に示されるように、リニアな関係にならず、部分的に平坦部を有する階段状となってしまう。詳細には、指示階調3、4とでは、透過率または反射率にほとんど差がなくなる（または、ノーマリホワイトモードであれば、階調3よりも階調4の方が若干明るくなる）現象が発生する。同様な現象は、指示階調7、8同士と、指示階調11、12同士とでも発生する。そして、このような現象は、指示した階調と実際の階調とに差を生じさせるので、表示装置としての階調再現特性を低下させてしまう。

#### 【0057】

このような階調再現特性の低下を防止するため、本応用例では、各画素のオンオフ期間を規定するサブフィールドの設定を次のように改善する。

すなわち、階調データを上位ビットおよび下位ビットに分割したときに、当該上位ビットの最下位ビットの重みに相当する期間長を有するとともに、当該上位ビットにより表現可能な最大値に相当する個数の第2のサブフィールドを2以上に分割して、分割したサブフィールドでは、同一内容の書込動作を実行するように改善した。

#### 【0058】

このような応用例を、上述した第1実施形態に適用すると、図11に示されるように、サブフィールドSF1～SF3の期間長を「1」としたときに「4」の期間長を有するサブフィールドSF5を、例えば「1」および「3」の期間長を有するサブフィールドSF5aおよびSF5bに2分割するとともに、分割したサブフィールドでは、同一内容の書込動作を実行する。同様に、サブフィールドSF6とSF7との各々についても、サブフィールドSF6a、SF6bと、SF7a、SF7bとにそれぞれ分割するとともに、分割したサブフィールドでは、同一内容の書込動作を実行する。

#### 【0059】

このようにサブフィールドを設定すると、1フレームにおけるオン画素書込の回数は、例えば、階調3よりも1レベル高い階調4では3回になって、減少分が1回で済む。同様に、階調7では6回であるのに対して階調8では5回になり、また、階調11では8回であるのに対して階調12では7回になり、それぞれ1回分の減少で収まる。

したがって、この応用例では、実際の階調における書込回数の依存性（実際の階調が、1フレームにおいてオンするサブフィールドの総期間のみならず、オン画素書込の回数にも依存してしまう性質）を少なくすることができる。

この結果、指示階調と、実際の画素による階調とは、図13（b）に示されるように、ほぼリニアな関係となって、階調再現特性の低下を防止することが可能となる。

#### 【0060】

ここで、サブフィールドの分割は、スタートパルス発生回路210を、図12に示されるような構成として、分割したサブフィールドの期間の開始時に、上述

したスタートパルスDYをそれぞれ出力する構成によって容易に達成される。

すなわち、マルチプレクサ213に、図5の計数データDc5、Dc6、Dc7に換えて、サブフィールドSF5a、SF5b、SF6a、SF6b、SF7a、SF7bの各時間を示す計数データDC5a、Dc5b、Dc6a、Dc6b、Dc7a、DC7bを供給して、コンパレータ212が、カウンタ211のカウンタ値S211とマルチプレクサ213の出力データ値S213とを比較し、両者が一致するとき、Hレベルである一致信号S212を出力する構成とすれば良い。

また、サブフィールドSF5a、SF5bにおいては、それぞれ分割前のサブフィールドSF5と同一のデータ信号Dsを供給すれば良いので、表示アドレス制御部330は、サブフィールドSF5a、SF5bにわたって、メモリブロック325に2回、アドレス信号RADを出力すれば良い。同様に、表示アドレス制御部330は、サブフィールドSF6a、SF6bにわたってメモリブロック326に2回、サブフィールドSF7a、SF7bにわたってメモリブロック327に2回、それぞれアドレス信号RADを出力すれば良い。

#### 【0061】

なお、図11では、サブフィールドSF5a、SF5bを、それぞれ「1」および「3」の期間長に設定し、サブフィールドSF6a、SF6bと、SF7a、SF7bとについても、それぞれ同様に設定したが、分割比率および分割数は、これに限られない。例えば、「1.2」および「2.8」のように分割しても良い。

ただし、サブフィールドSF1～SF4の期間長が「1」であることとの関係上、この期間を整数倍した期間長に、サブフィールドSF5a、SF5b等の期間を設定する方が、すなわち、第2のサブフィールドの分割期間は、第1のサブフィールド期間のいずれかを単位とする方が、マルチプレクサ213に小数を伴う計数データを供給しないで済む点において有利と考える。

#### 【0062】

#### 〔第2の実施の形態〕

第2の実施の形態の電気光学装置について、図14～図17を参照して説明す

る。

図 1 7 は、第 2 の実施の形態のサブフィールドを示す。図 1 7 と第 1 の実施の形態のサブフィールドを示す図 1 0 との比較から明らかであるように、第 2 の実施の形態のフレーム 1 F には、階調データに拘わらずオフ状態にするサブフィールド S F 8 が追加されている。

#### 【 0 0 6 3 】

図 1 4 は、第 2 の実施の形態のスタートパルス発生回路の構成を示し、図 1 5 は、第 2 の実施の形態のデータ変換回路の構成を示し、図 1 6 は、第 2 の実施の形態の信号の波形を示す。第 2 の実施の形態の電気光学装置は、上記サブフィールド S F 8 を用いて動作すべく、図 1 4 に示されたスタートパルス発生回路 2 1 0 及び図 1 5 に示されたデータ変換回路 3 0 0 を有する。スタートパルス発生回路 2 1 0 では、図 1 4 に示されるように、サブフィールド S F 8 に対応する期間を発生するための計数データ D c 8 がマルチプレクサ 2 1 3 a に供給される。データ変換回路 3 0 0 では、図 1 5 に示すように、表示アドレス制御部 3 3 0 a が、スタートパルス D Y がサブフィールド S F 8 を指し示すときのみ S \_ o f f 信号を出力する。

#### 【 0 0 6 4 】

第 2 の実施の形態の電気光学装置によれば、階調を微調整するためにサブフィールド S F 1 ~ S F 7 の何れかの期間を多少増減する必要が生じたとき、他のサブフィールド S F 1 ~ S F 3、S F 5 ~ S F 7 の長さを増減することなく、サブフィールド S F 8 の期間のみを前記増減を要する長さだけ増減することにより前記階調を微調整することができることから、前記階調の微調整を容易に行うことが可能になる。

#### 【 0 0 6 5 】

##### [第 3 の実施の形態]

第 3 の実施の形態の電気光学装置は、第 1 及び第 2 の実施形態の電気光学装置より一層の多階調を表示することを特徴とする。第 3 の実施の形態の電気光学装置について、図 1 8 ~ 図 2 1 を参照して説明する。

#### 【 0 0 6 6 】

図 2 1 は、第 3 の実施の形態のサブフィールドを示す。第 3 の実施の形態の電気光学装置では、該電気光学装置に入力される 6 ビットの階調データ D 0 ~ D 5 が規定する 6 4 階調を表示すべく、1 フレーム (1 F) は、図 2 1 に示されるように、7 個のサブフィールド S F 1 ~ S F 7、7 個のサブフィールド S F 9 ~ S F 1 5、及びサブフィールド S F 8 を有する。サブフィールド S F 1 ~ S F 7 の長さは、「1」階調の重み付けを有し、サブフィールド S F 9 ~ S F 1 5 の長さは、「8」階調の重み付けを有する。液晶の動作特性により規定される閾値電圧  $V_{th}$  を与えるべく、サブフィールド S F 8 を、階調に拘らず常時オン状態にされる。

## 【 0 0 6 7 】

サブフィールド S F 1 ~ S F 7 のオン／オフ状態は、階調データ D 0 ~ D 5 の下位 3 ビット (D 0 ~ D 2) により規定され、他方、サブフィールド S F 9 ~ S F 1 5 のオン／オフ状態は、階調データ D 0 ~ D 5 の上位 3 ビット (D 3 ~ D 5) により規定される。例えば、階調データ D 0 ~ D 5 が、「1 0」階調を示す「0 0 1 0 1 0」であるとき、サブフィールド S F 6 及び S F 7 をオン状態にし、かつサブフィールド S F 9 をオン状態にし、また、階調データ D 0 ~ D 5 が、「2 8」階調を示す「0 1 1 1 0 0」であるとき、サブフィールド S F 4 ~ S F 7 をオン状態し、かつサブフィールド S F 9 ~ S F 1 1 をオン状態にする。

## 【 0 0 6 8 】

このように、サブフィールド S F 1 ~ S F 7、及びサブフィールド S F 9 ~ S F 1 5 を、下位ビット (D 0 ~ D 2) の値の増加及び上位ビット (D 3 ~ D 5) の値の増加に従って、サブフィールド S F 7 及び S F 9 間の実質的な境界を基点としてフレームの外側の方向へ順々に選択することにより、第 1 の実施の形態と同様に、選択されるサブフィールドの連続性を確保することが可能になる。

なお、6 ビットの階調データ D 0 ~ D 5 を 3 ビットずつに分割することに代えて、例えば、上位 2 ビット及び下位 4 ビットに分割することも可能である。

## 【 0 0 6 9 】

図 1 8 は、第 3 の実施の形態のスタートパルス発生回路の構成を示し、図 1 9 は、第 3 の実施の形態のデータ変換回路の構成を示し、図 2 0 は、第 3 の実施の



形態の電気光学装置の動作を示す。上記の動作を行うべく、第 3 の実施の形態の電気光学装置は、図 1 8 に示されたスタートパルス発生回路、及び図 1 9 に支援されたデータ変換回路を有する。

スタートパルス発生回路 2 1 0 では、図 1 8 に示されるように、サブフィールド S F 1 ~ S F 1 5 に対応する期間を発生するための計数データ D c 1 ~ D c 1 5 がマルチプレクサ 2 1 3 b に供給される。データ変換回路 3 0 0 では、図 1 9 に示されるように、デコーダ 3 1 2 b は、階調データ D 0 ~ D 6 を供給され、サブフィールドデータ S D 1 ~ S D 7、S D 9 ~ S D 1 5 を出力し、また、表示アドレス制御部 3 3 0 b は、スタートパルス D Y がサブフィールド S F 1 ~ S F 1 5 を指し示す毎に、読出し信号 R D 1 ~ R D 7、R D 9 ~ R D 1 5 を出力する。

【 0 0 7 0 】

#### [第 4 の実施の形態]

第 4 の実施の形態の電気光学装置について図 2 2 を参照して説明する。

図 2 2 は、第 4 の実施の形態のサブフィールドを示す。第 4 の実施の形態の電気光学装置は、図 2 2 に示されるように、第 1 の実施の形態で説明した、階調データに拘わらず常時オン状態にすべきサブフィールド S F 4 を、原則としてオン状態にし、他方、前記階調データが 0 0 0 0 のときのみ、オフ状態にする。これにより、コントラストを上げ画質を向上することが可能になる。

【 0 0 7 1 】

#### [第 5 の実施の形態]

第 5 の実施の形態の電気光学装置について図 2 3 を参照して説明する。

図 2 3 は、第 5 の実施の形態のサブフィールドを示す。第 5 の実施の形態の電気光学装置は、図 2 3 に示されるように、階調に従って選択すべきサブフィールドを、相互に隣接するフレーム間の境界 P で連続させる。言い換えれば、前記階調に応じて、前記境界 P を基点としてフレームの中央の方向にサブフィールドを順次選択する。これにより、選択されるサブフィールドの連続性を、隣接するフレーム間に亘って確保することが可能になる。

【 0 0 7 2 】

#### [第 6 の実施の形態]

第 6 の実施の形態の電気光学装置について説明する。第 6 の実施の形態の電気光学装置は、上記した第 1 ～ 第 5 の実施の形態で説明した、選択されるサブフィールドの連続性を確保する技術と、F R C (Frame Ratio Control) 変調とを組み合わせることを特徴とする。

## 【 0 0 7 3 】

F R C 変調とは、1 つのフレーム期間を通じて階調を表示するのではなく、相互に連続する複数のフレームを通じて階調を表示することをいう。例えば、2 つの連続するフレームを用いて 6 4 階調のうちの「1 1」階調を表示しようとするときには、1 番めのフレームで、「6」階調を表示し、2 番めのフレームで「5」階調を表示する。また、例えば、3 つの連続するフレームを用いて 6 4 階調のうちの「1 1」階調を表示しようとするときには、1 番めのフレームで「4」階調を表示し、2 番めのフレームで「3」階調を表示し、3 番めのフレームで「3」階調を表示する。表示すべき階調が、6 4 階調、1 2 8 階調、2 5 6 階調のように一層大きくなることに伴い、低階調を表示するためのサブフィールド、例えば、「1」階調に相当する長さを有するサブフィールドの長さが短くならざるを得ないことから、F R C 変調は、特に、低階調を表示するためのサブフィールドのオン／オフを高精度に制御することに適する。

## 【 0 0 7 4 】

ここで、階調データを構成する N ビットが、上位 M ビット (M は、N より小さい正の整数) 及び下位 (N - M) ビットからなり、第 1 のサブフィールドが、前記下位 (N - M) ビット中の最下位ビットの重み付けに相当する第 1 の重み付けを有し、第 2 のサブフィールドが、前記上位 M ビット中の最下位ビットの重み付けに相当する第 2 の重み付けを有し、前記複数のフレームの数が F 個であることを想定すると、

各フレームにおける第 1 のサブフィールドの個数 b および第 2 のサブフィールドの個数 c は、それぞれ

$$b = (2^{N-M} - 1) / F \cdots (1),$$

$$c = 2^M - 1 \cdots (2)$$

で示される。ただし、(1) 式において、 $2^{N-M} - 1$  を F で割り切れないとき (余り

が生じるとき)、例外として、個数  $b$  を、当該商の整数部分に 1 を加えた数とする。

さらに、第 1 の重み付けが  $\alpha$  であることを想定すると、第 2 の重み付け  $\beta$  は、

$$\beta = \alpha 2^{N-M} / F \quad \dots (3)$$

で示される。

【0075】

また、1 つのフレームについてみて、第 1 および第 2 のサブフィールドの選択／非選択の組み合わせを示す選択パターンの数  $Z$  は、

$$Z = 2^M (b + 1) \quad \dots (4)$$

で示される。

さらに、前記第 1 及び前記第 2 のサブフィールド数の合計が最小となる  $M$  の最適解に基づいて、前記階調データを上位ビット及び下位ビットに分割することが望ましい。

なお、上記式(1)、(2)および(4)については、上述した常時オン状態にすべきサブフィールド及び常時オフ状態にすべきサブフィールドを考慮していない。

【0076】

以下、6 ビットの階調データによって規定される 64 階調を、3 つの連続するフレームを用いて表示する 64 階調 3 FRC について、当該階調データを上位 2 ビット及び下位 4 ビットに分割した場合を例にとって説明する。

この場合、 $N = 6$ 、 $M = 2$ 、 $F = 3$  であるので、上記式(1)より  $b = 5$ 、上記式(2)より  $c = 3$ 、上記式(3)より  $\beta = 5/3 \alpha$ 、上記式(4)より  $Z = 24$  となる。

この状態について図 27 を参照して説明すると、3 つのフレームを通じて、階調データの下位 4 ビットで表現すべき 16 階調表示用の 15 個のサブフィールドを当該 3 つのフレームに分散させた結果、最下位ビットの重み付けを有する 5 個 ( $b = 5$ ) のサブフィールド SF1～SF5 が各フレームに設けられている。

一方、階調データの上位 2 ビットのうち、最下位ビットの重み付けに相当する 3 個 ( $c = 3$ ) のサブフィールド SF7～SF9 が各フレームに設けられている。詳細には、階調データの最下位ビットの重み付けを「1」としたとき、階調デ

ータの上位2ビットのうち、最下位ビットの重み付けは「16」となり、これを3つのフレームに分散させた結果、サブフィールドSF7～SF9の期間長は、「5.33」となる（サブフィールドSF1～SF5の期間長を「1」としたとき）。

結局、各フレームには、下位4ビットに対応するサブフィールドSF1～SF5、上位2ビットに対応するSF7～SF9、及び、常時オンとすべきサブフィールドSF6の合計9個のサブフィールドが設けられている。

#### 【0077】

図27では、下位ビットに対応するサブフィールドSF1～SF5の個数が5であり、他方、上位ビットに対応するサブフィールドSF7～SF9の個数が3個であることから、選択パターンが24（＝（5＋1）×（3＋1））種類であることが示されている。この点は、 $Z=24$ であることから明らかである。

#### 【0078】

図28は、64階調3FRCとする場合に、各フレームにおいて選択すべき選択パターンを示す図表である。例えば、階調データが「7」階調（000111）を示すときには、1番めのフレームでは、該1番めのフレームに含まれるサブフィールドのうち、図27に示した選択パターン3を構成するために必要なサブフィールドを選択し、即ち、サブフィールドSF3～SF5を選択し、2番めのフレームでは、該2番めのフレームに含まれるサブフィールドのうち、図27に示した選択パターン2を構成するために必要なサブフィールドを選択し、即ちサブフィールドSF4及びSF5を選択し、3番めのフレームでもまた、該3番めのフレームに含まれるサブフィールドのうち、選択パターン2を構成するために必要なサブフィールドを選択する、即ち、サブフィールドSF4及びSF5を選択する。

#### 【0079】

図24は、64階調3FRCのためのデータ変換回路の構成を示し、また、図24は、デコーダが用いる真理値表を示す。データ変換回路300sは、図24に示されるように、上記した第1の実施の形態と同様に、書き込みアドレス制御部310s、表示アドレス制御部330s、フレームメモリ321s、及びデコ

ーダ 3 1 2 s を有する。

#### 【 0 0 8 0 】

階調データ D 0 ~ D 5 は、フレームメモリ 3 1 2 s の記憶領域のうち、書き込みアドレス WAD で示されるアドレスにて一旦書き込まれた後、読み出しアドレス RAD で示されるアドレスから読み出されて、デコーダ 3 1 2 s に出力される。

デコーダ 3 1 2 s は、信号 FRD 0 ・ FRD 1 により特定されるフレーム番号のうち、信号 SFD 0 ~ SFD 3 により特定されるサブフィールド番号で規定された期間に応じて（詳細には図 2 5 に示される真理値表にしたがって）、当該階調データをデータ信号 D s にデコードする。

このデータ変換回路 3 0 0 s によれば、例えば、「1」階調を示す階調データ (0 0 0 0 0 1) は、3 つのフレームのうち、信号 FRD 0 ・ FRD 1 によって 1 番目のフレーム FR 1 が特定され、さらに、サブフィールド SF 1 ~ SF 9 のうち、信号 SFD 0 ~ SFD 3 によってサブフィールド SF 5 が特定されたとき、画素をオンとすべき旨を指示する「1」のデータ信号 D s に変換される。

#### 【 0 0 8 1 】

図 2 6 は、6 4 階調 3 FRC の信号の波形を示す。図 2 6 に示される信号の波形は、第 1 の実施の形態の信号の波形と概ね同一である。

#### 【 0 0 8 2 】

次に、6 ビットの階調データによって規定される 6 4 階調を、2 つのフレームを用いて表示する 6 4 階調 2 FRC について、当該階調データを上位 3 ビット及び下位 3 ビットに分割した場合について説明する。

この場合、 $N = 6$ 、 $M = 3$ 、 $F = 2$  となるので、上記式 (1) の例外によって  $b = 4$ 、上記式 (2) より  $c = 7$ 、上記式 (3) より  $\beta = 4$ 、上記式 (4) より  $Z = 40$  となる。

この状態について図 3 0 を参照して説明すると、階調データの最下位ビットの重み付けを有する 4 個 ( $b = 4$ ) のサブフィールド SF 1 ~ SF 4 が各フレームに設けられている一方、階調データの上位 3 ビットのうちの最下位ビットの重み付けに相当する 7 個 ( $c = 7$ ) のサブフィールド SF 6 ~ SF 12 が各フレーム

に設けられている。

なお、サブフィールドSF1～SF4の各期間長を「1」としたとき、サブフィールドSF6～SF12の各期間長は、「4」となる。

結局、各フレームには、下位3ビットに対応する3個のサブフィールドSF1～SF4、上位3ビットに対応する7個のSF6～SF12、及び、常時オンとすべきサブフィールドSF5の合計12個のサブフィールドが設けられている。

このため、1フレームでの選択パターンは、図30に示されるように、40(= (4+1) × (7+1)) 種類となる。この点は、Z=40であることから明らかである。

#### 【0083】

図31は、64階調2FRCとする場合に、各フレームにおいて選択すべき選択パターンを示す図表である。例えば、階調データが「6」階調(000110)を示すとき、1番めのフレームでは、該1番めのフレームに含まれるサブフィールドのうち、図30に示した選択パターン4を構成するために必要なサブフィールドSF1～SF4を選択し、2番めのフレームでは、該2番めのフレームに含まれるサブフィールドのうち、図30に示した選択パターン3を構成するために必要なサブフィールドSF2～SF4を選択する。

#### 【0084】

なお、第6の実施の形態については、6ビットの階調データを用いた64階調のほか、8ビットの階調データを用いた256階調なども当然に可能である。

#### 【0085】

以上説明したように、第6の実施の形態によれば、FRC変調を用いることにより、各フレームに設けるべき、重み付けの小さいサブフィールドの個数を低減することができ、これにより、前記重み付けの小さいサブフィールドの期間を長くすることができることから、画素への書き込み時間を延ばすことができる。これにより、液晶へのデータ信号を高精度に印加することが容易になる。

#### 【0086】

#### [第7の実施の形態]

第7の実施の形態の電子機器について説明する。

図 3 2 は、第 7 の実施の形態の電子機器の構成を示す。該電子機器は、図 3 2 に示されるように、主に、画像信号などの表示情報を出力する表示情報出力源 1 0 0 0 と、前記表示情報からデジタル信号を順次生成する表示情報処理回路 1 0 0 2 と、上記各実施の形態で説明した電気光学装置 1 0 0 1 と、該電気光学装置 1 0 0 1 を駆動する、上述した走査線駆動回路 1 3 0 及びデータ線駆動回路 1 4 0 を含む駆動回路 1 0 0 4 と、クロック発生回路 1 0 0 8 と、電源回路 1 0 1 0 とを備えている。第 1 0 の実施の形態の代表的な電子機器として、プロジェクタ、モバイル型コンピュータ、及び携帯電話器がある。

#### 【 0 0 8 7 】

図 3 3 ( a ) はプロジェクタの構成を、図 3 3 ( b ) はモバイル型のコンピュータの構成を、図 3 3 ( c ) は携帯電話器の構成を、それぞれ示す。プロジェクタ 1 4 3 0 は、図 3 3 ( a ) に示されるように、液晶光変調装置 1 0 0 R、1 0 0 G、1 0 0 B として、上記電気光学装置を有し、モバイル型のコンピュータ 1 2 0 0 は、図 3 3 ( b ) に示されるように、表示ユニット 1 2 0 6 として、上記した電気光学装置 1 0 0 及びバックライトを備えており、携帯電話器 1 3 0 0 は、図 3 3 ( c ) に示されるように、表示部 1 0 0 として、上記の電気光学装置を備えている。

#### 【 0 0 8 8 】

なお、上記の例で設定した各サブフィールドの重み付けは、液晶の特性等を考慮して調整することも可能である。また、上記の例では、液晶表示装置について説明したが、エレクトロルミネッセンス ( E L ) ディスプレイ、プラズマディスプレイやデジタルマイクロミラーデバイス ( D M D ) ディスプレイ等の電気光学素子にも適用可能である。

#### 【 0 0 8 9 】

##### 【発明の効果】

上記したように、本発明の画素の駆動方法によれば、オンを選択すべきサブフィールドの連続性を確保することができることから、階調のずれを改善し、画質を向上することができ、加えて、画素に印加すべき電圧が高周波に変化しないことから、消費電力を低減することが可能になる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態の電気光学装置の構成を示す図である。

【図 2】 第 1 の実施の形態の表示部に設けられている画素の構成を示す図である。

【図 3】 第 1 の実施の形態の電気光学装置の構造を示す図である。

【図 4】 第 1 の実施の形態のデータ線駆動回路の構成を示す図である。

【図 5】 第 1 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 6】 第 1 の実施の形態のスタートパルス発生回路の動作を示すタイムチャートである。

【図 7】 第 1 の実施の形態のデータ変換回路の構成を示す図である。

【図 8】 第 1 の実施の形態のデコーダが用いる真理値表を示す図である。

【図 9】 第 1 の実施の形態の信号の波形を示すタイムチャートである。

【図 10】 第 1 の実施の形態のサブフィールドを示す図である。

【図 11】 第 1 の実施の形態の応用例に係るサブフィールドを示す図である。

【図 12】 第 1 の実施の形態の応用例のスタートパルス発生回路の構成を示す図である。

【図 13】 (a) は、第 1 の実施の形態の階調－透過率特性を示す図であり、(b) は、応用例の階調－透過率特性を示す図である。

【図 14】 第 2 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 15】 第 2 の実施の形態のデータ変換回路の構成を示す図である。

【図 16】 第 2 の実施の形態の信号の波形を示すタイムチャートである。

【図 17】 第 2 の実施の形態のサブフィールドを示す図である。

【図 18】 第 3 の実施の形態のスタートパルス発生回路の構成を示す図である。

【図 19】 第 3 の実施の形態のデータ変換回路の構成を示す図である。

【図 20】 第 3 の実施の形態の電気光学装置の動作を示す図である。



- 【図 2 1】 第 3 の実施の形態のサブフィールドを示す図である。  
【図 2 2】 第 4 の実施の形態のサブフィールドを示す図である。  
【図 2 3】 第 5 の実施の形態のサブフィールドを示す図である。  
【図 2 4】 第 6 の実施の形態のデータ変換回路の構成を示す図である。  
【図 2 5】 第 6 の実施の形態のデコーダが用いる真理値表を示す図である

- 【図 2 6】 第 6 の実施の形態の信号の波形を示すタイムチャートである。  
【図 2 7】 第 6 の実施の形態のサブフィールドを示す図である。  
【図 2 8】 第 6 の実施の形態の各フレームでの選択パターンを示す図である。

- 【図 2 9】 第 6 の実施の形態のデータ変換回路の構成を示す図である。  
【図 3 0】 第 6 の実施の形態のサブフィールドを示す図である。  
【図 3 1】 第 6 の実施の形態の各フレームでの選択パターンを示す図である。

- 【図 3 2】 第 7 の実施の形態の電子機器の構成を示す図である。

- 【図 3 3】 プロジェクタ、モバイル型のコンピュータ、及び携帯電話器の構成を示す図である。

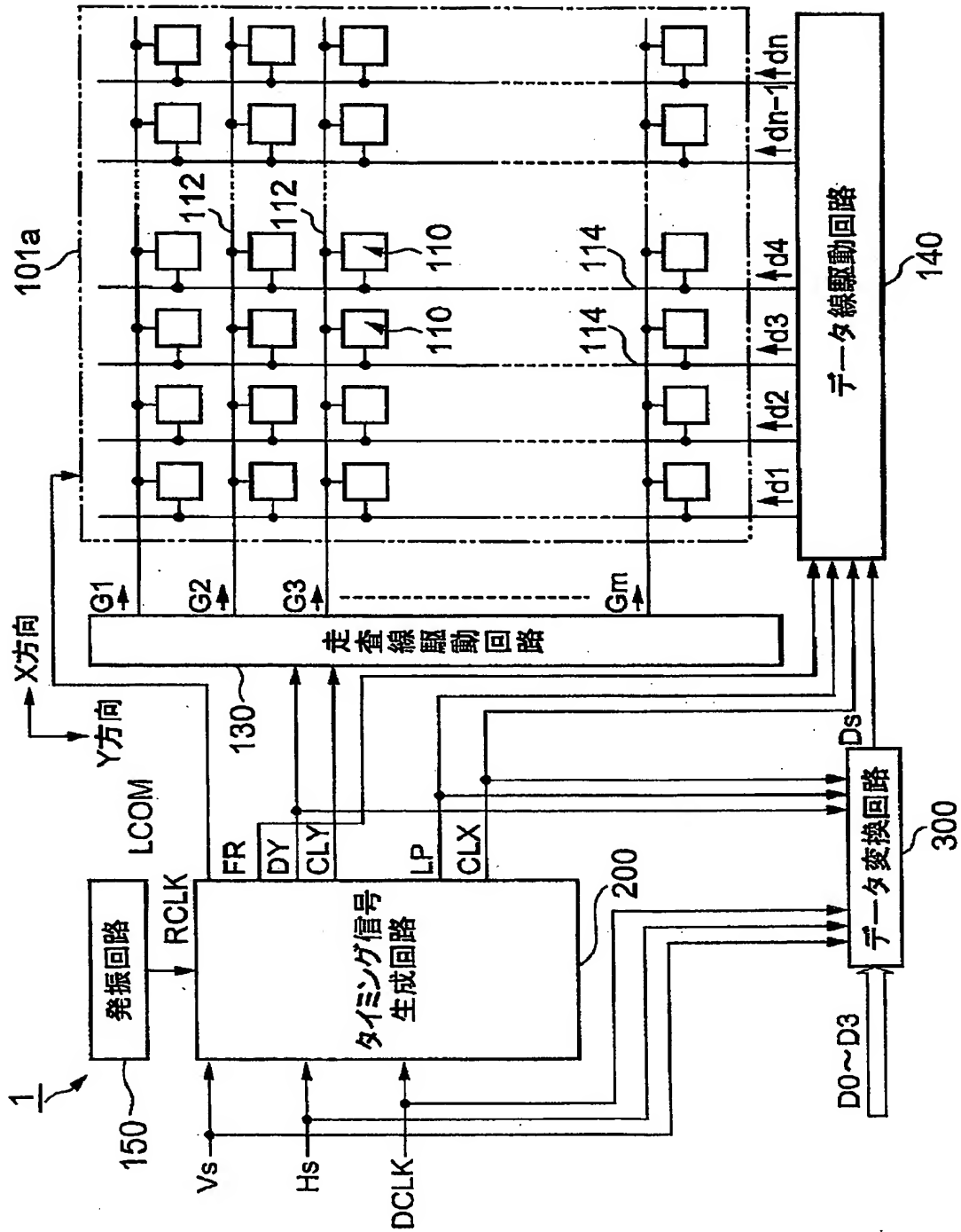
- 【図 3 4】 従来のサブフィールドの選択を示す図である。

【符号の説明】

- 1 0 1 a 表示部  
1 5 0 発振回路  
2 0 0 タイミング信号生成回路  
3 0 0 データ変換回路  
1 3 0 走査線駆動回路  
1 4 0 データ線駆動回路

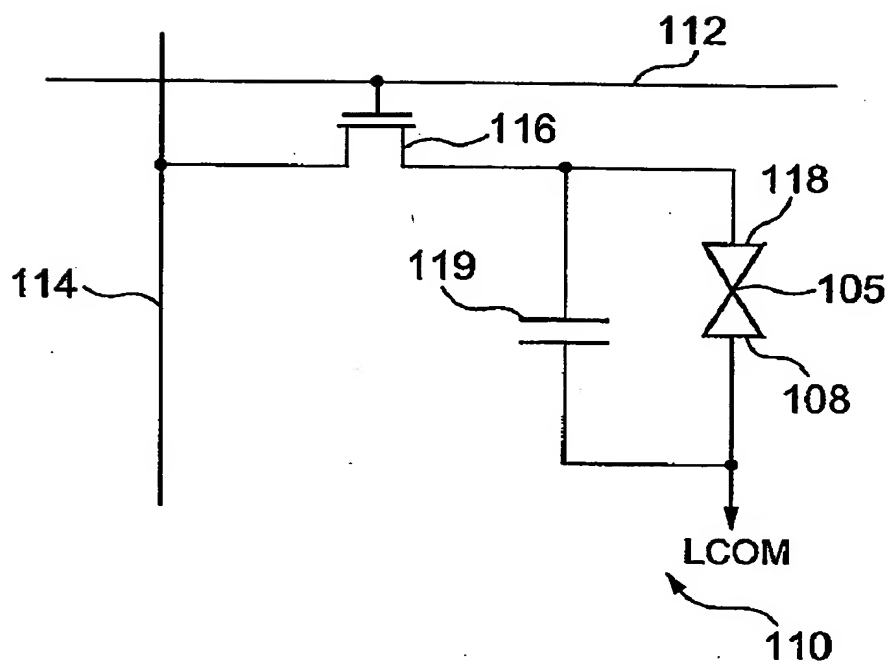
【書類名】 図面

【図 1】

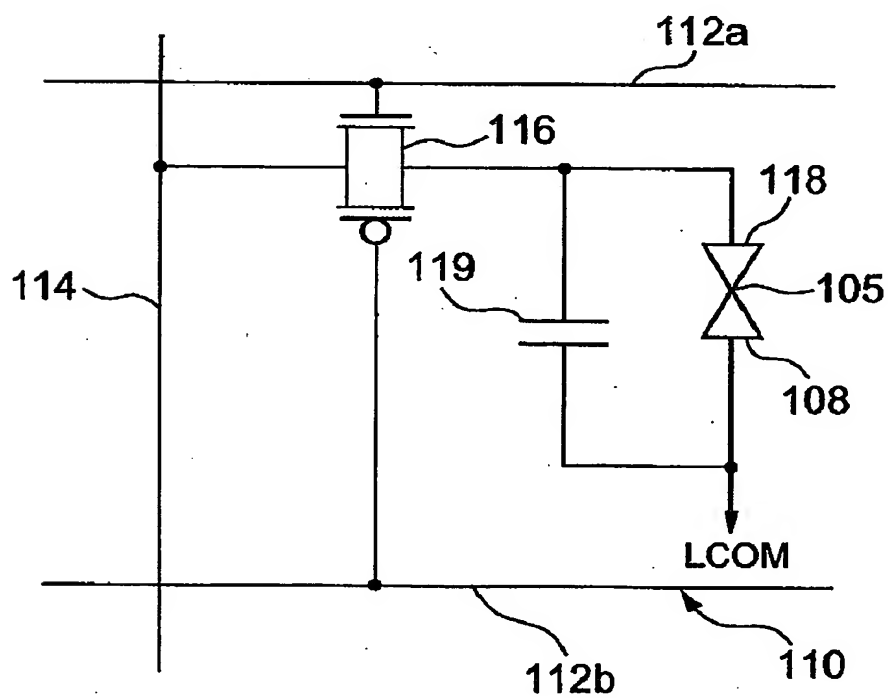


【図2】

(a)

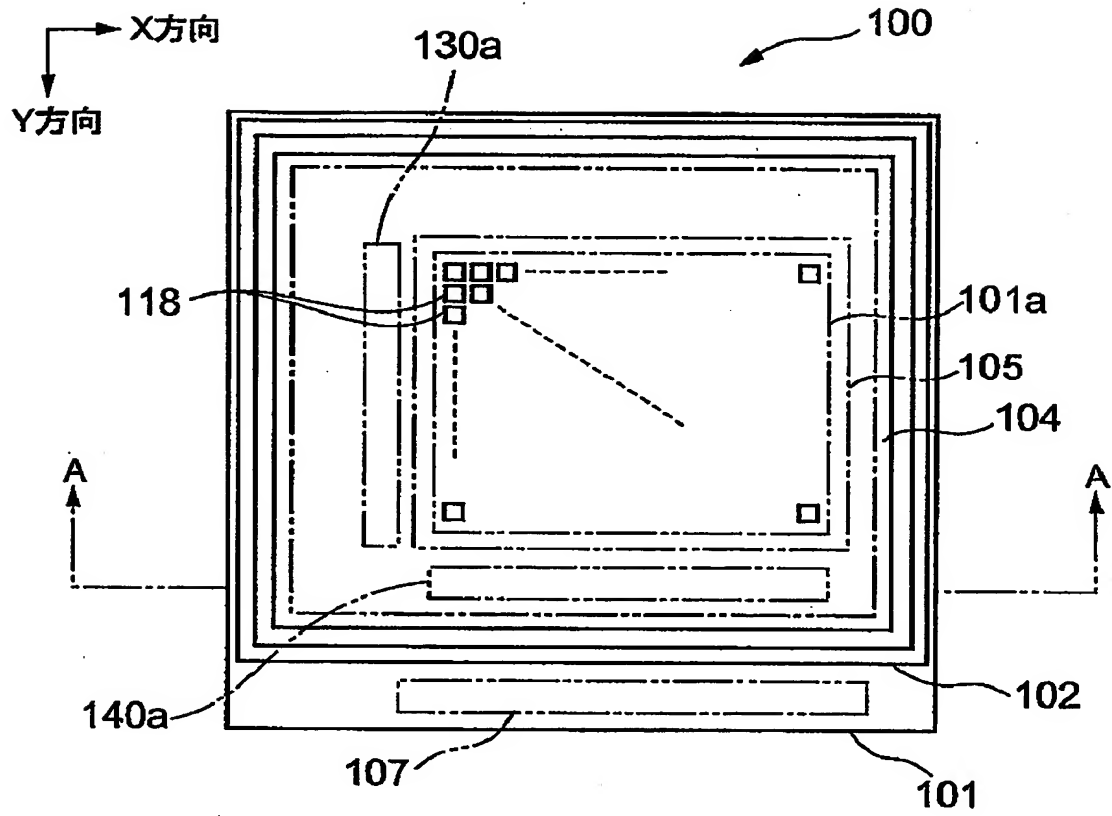


(b)

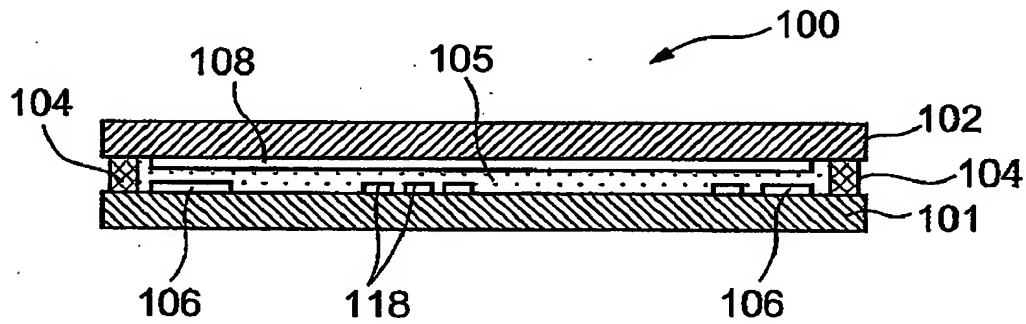


【図3】

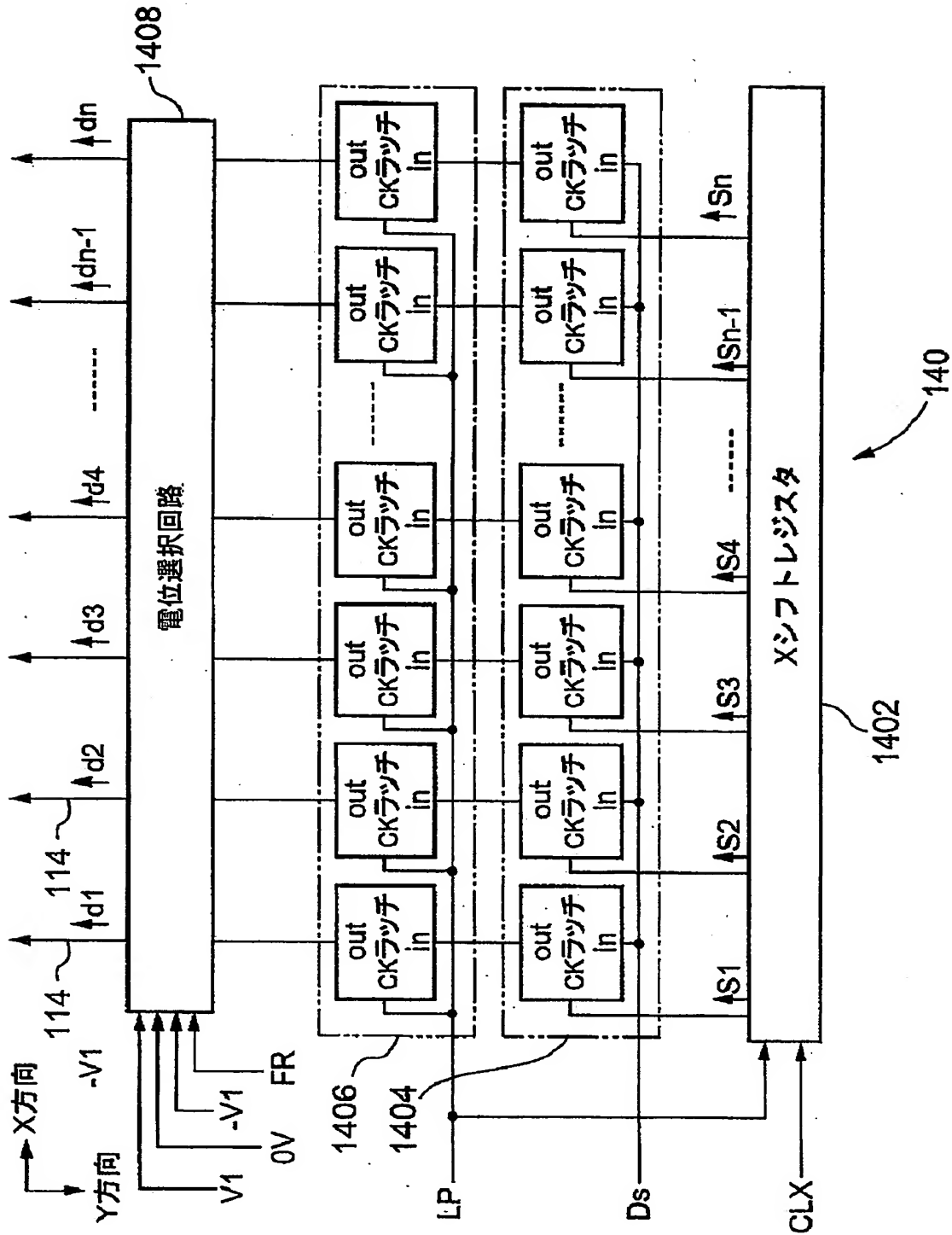
(a)



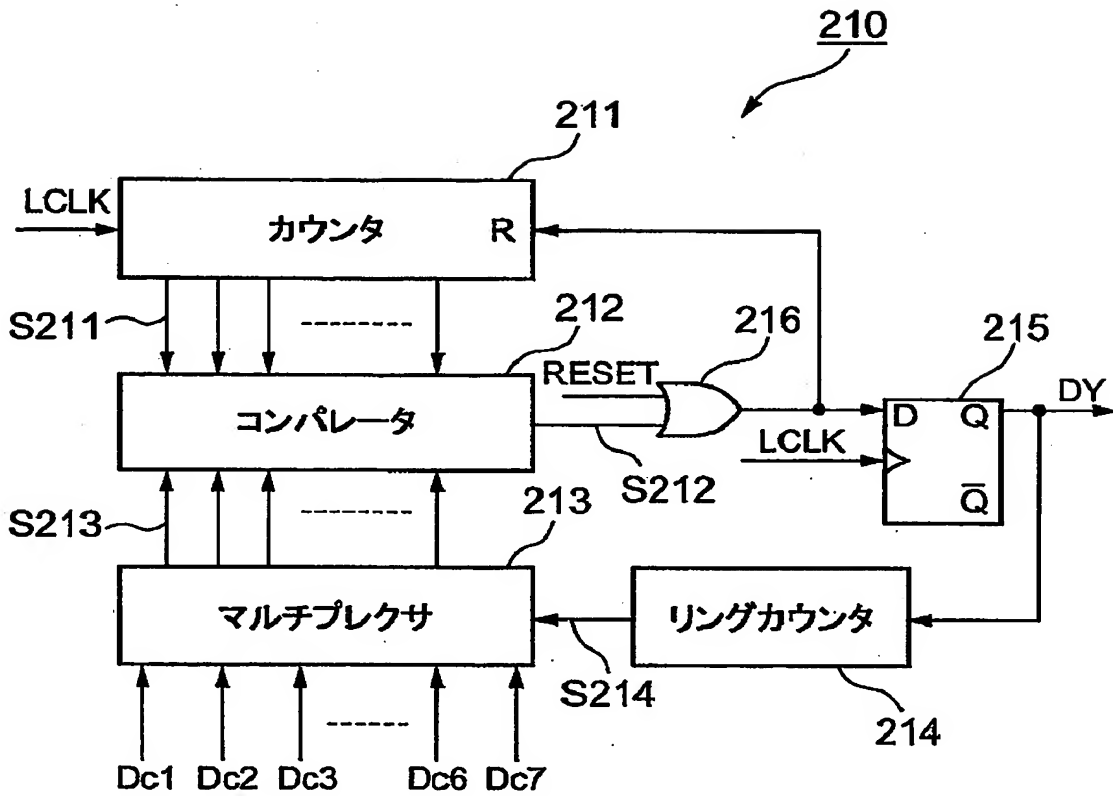
(b)



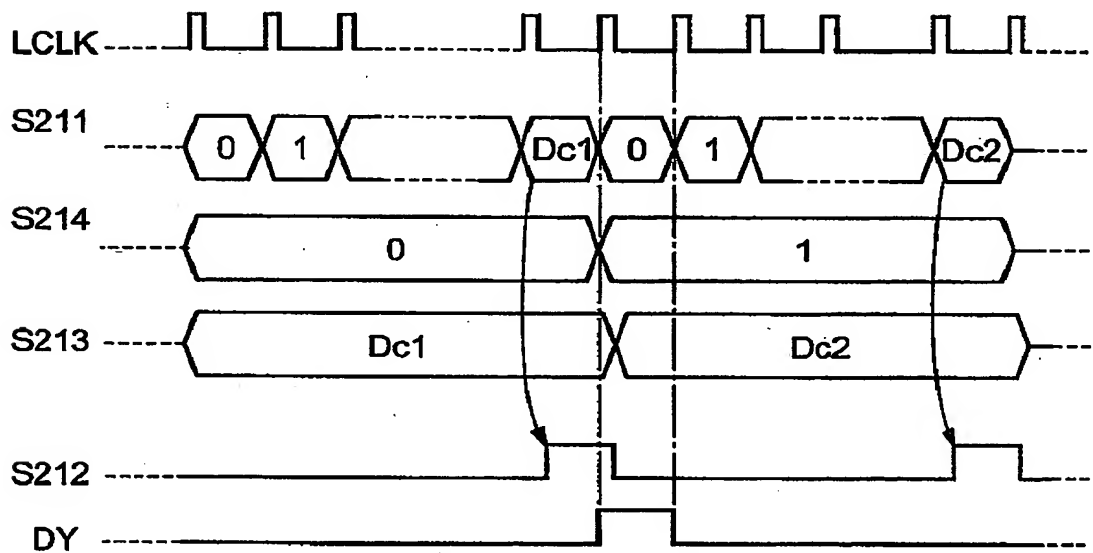
【図4】



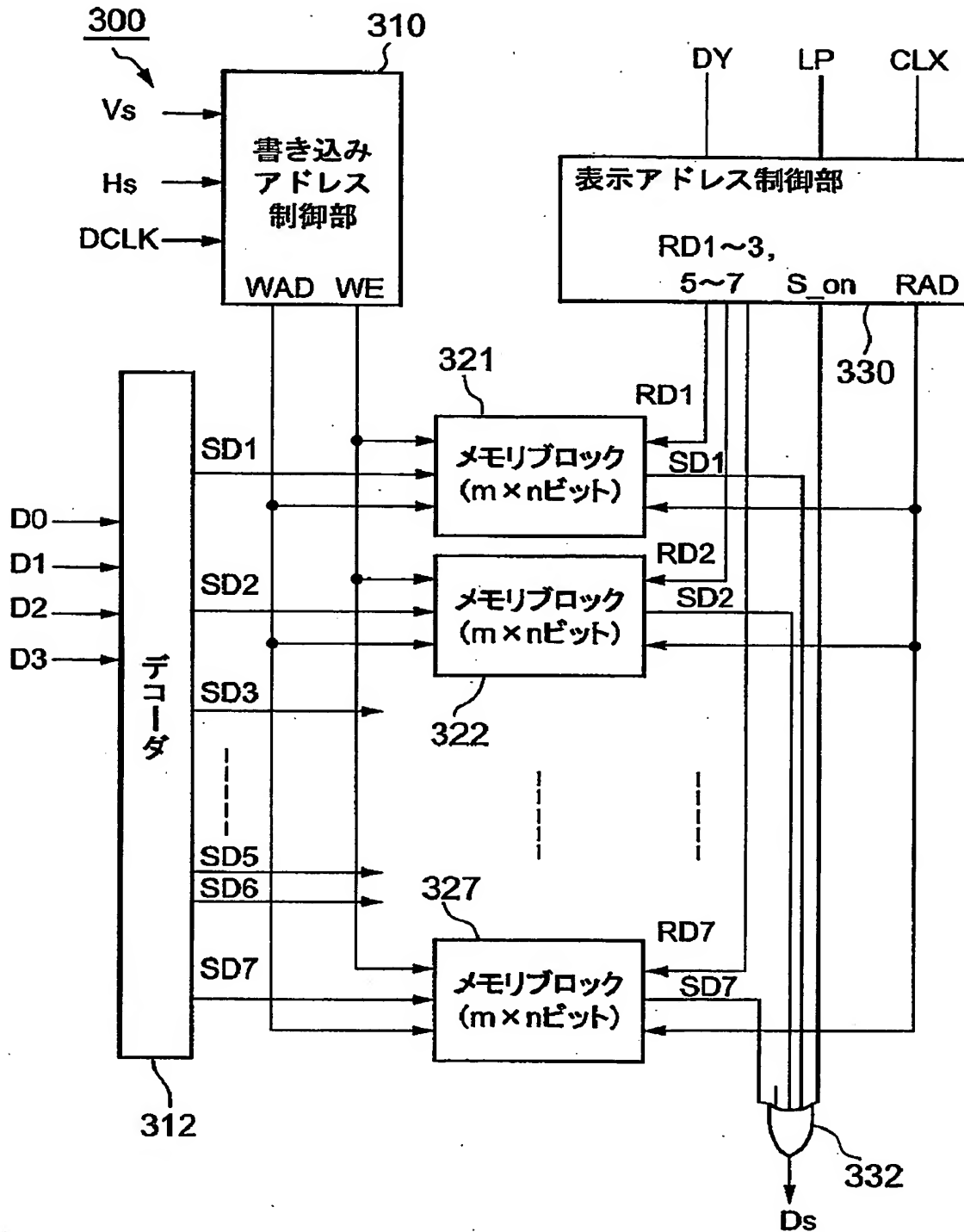
【図5】



【図6】



【図 7】



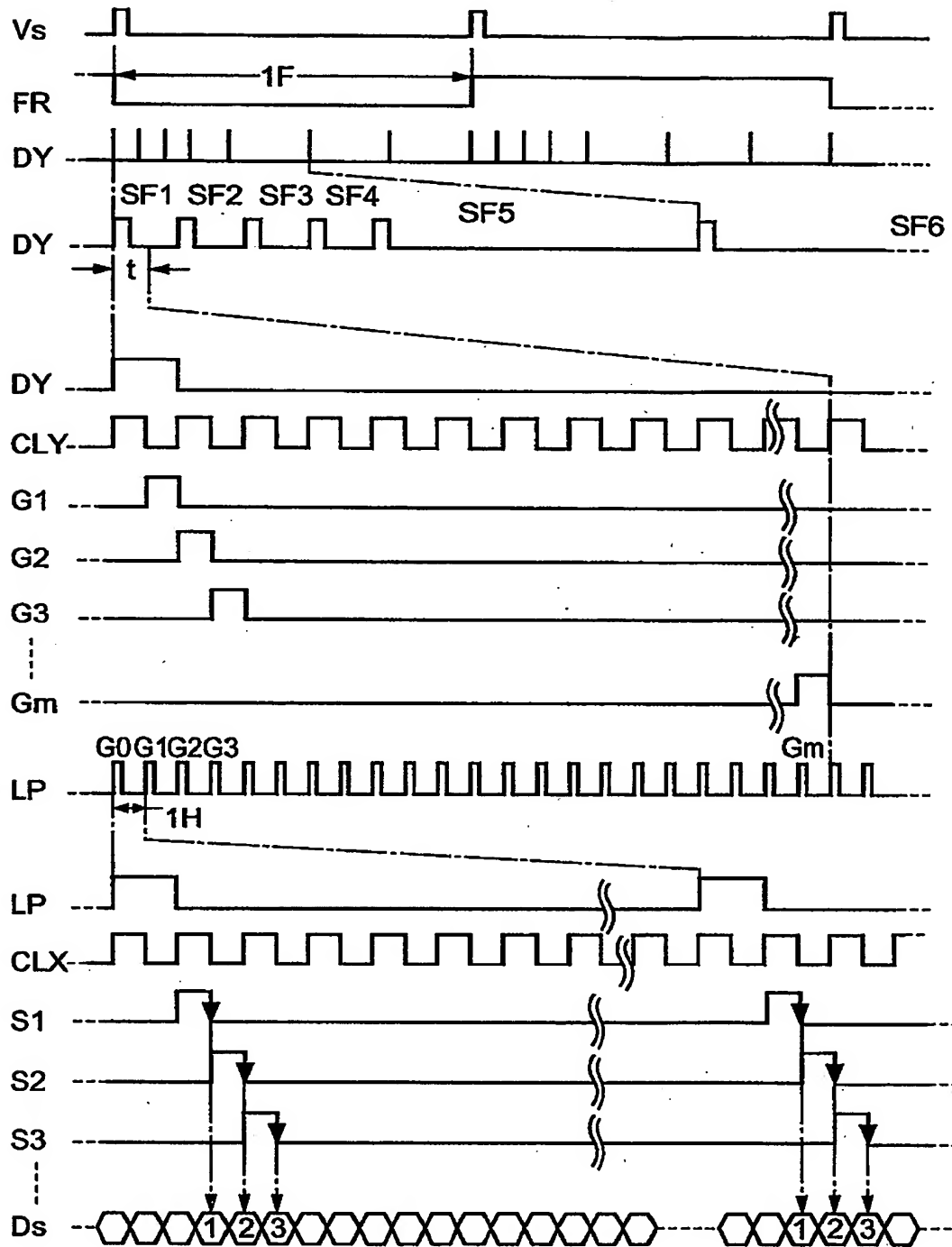
【図 8】

データ変換回路のデコーダ真理値表 (16階調7sf)

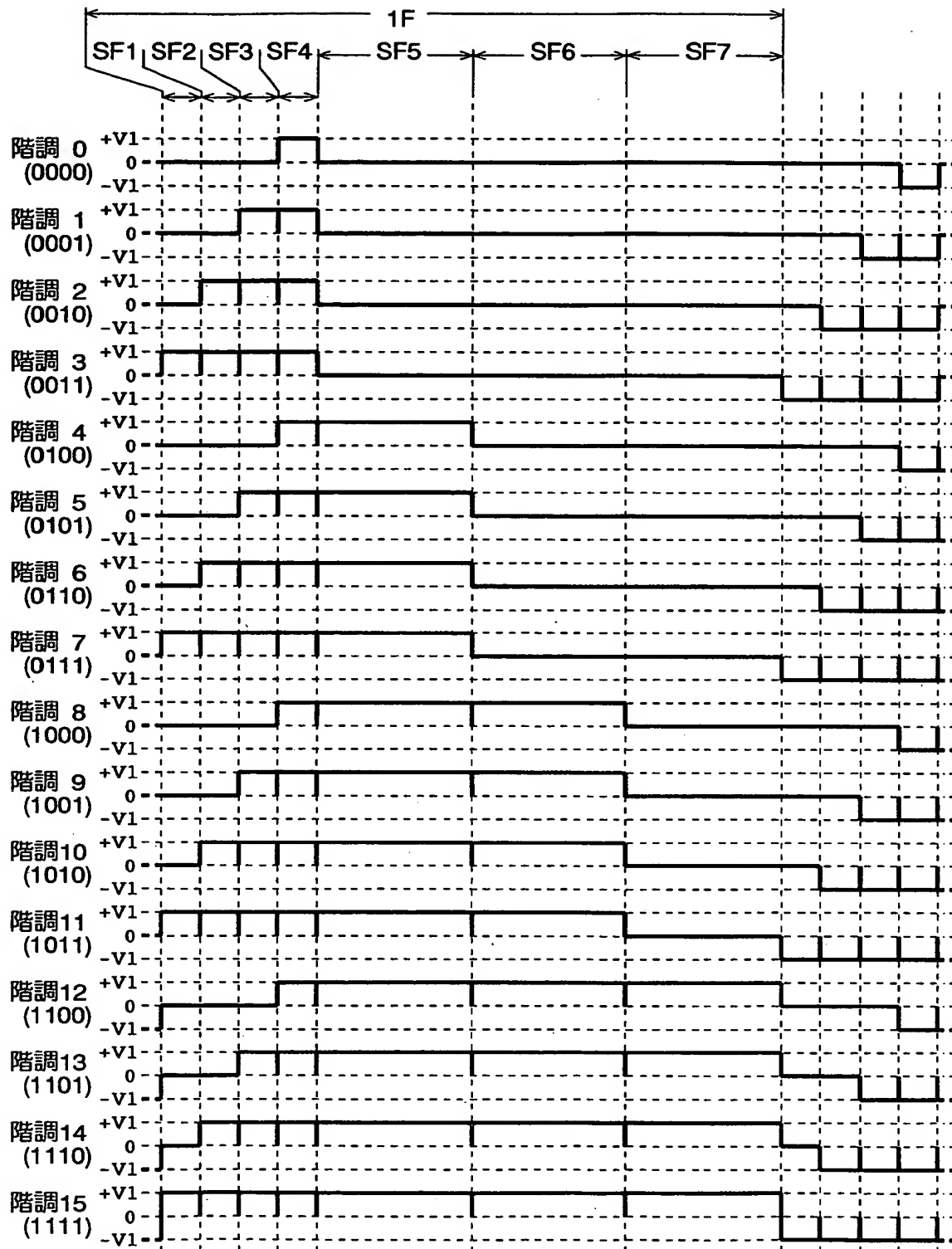
	データ	SD1	SD2	SD3	SD5	SD6	SD7
0	0000	0	0	0	0	0	0
1	0001	0	0	1	0	0	0
2	0010	0	1	1	0	0	0
3	0011	1	1	1	0	0	0
4	0100	0	0	0	1	0	0
5	0101	0	0	1	1	0	0
6	0110	0	1	1	1	0	0
7	0111	1	1	1	1	0	0
8	1000	0	0	0	1	1	0
9	1001	0	0	1	1	1	0
10	1010	0	1	1	1	1	0
11	1011	1	1	1	1	1	0
12	1100	0	0	0	1	1	1
13	1101	0	0	1	1	1	1
14	1110	0	1	1	1	1	1
15	1111	1	1	1	1	1	1



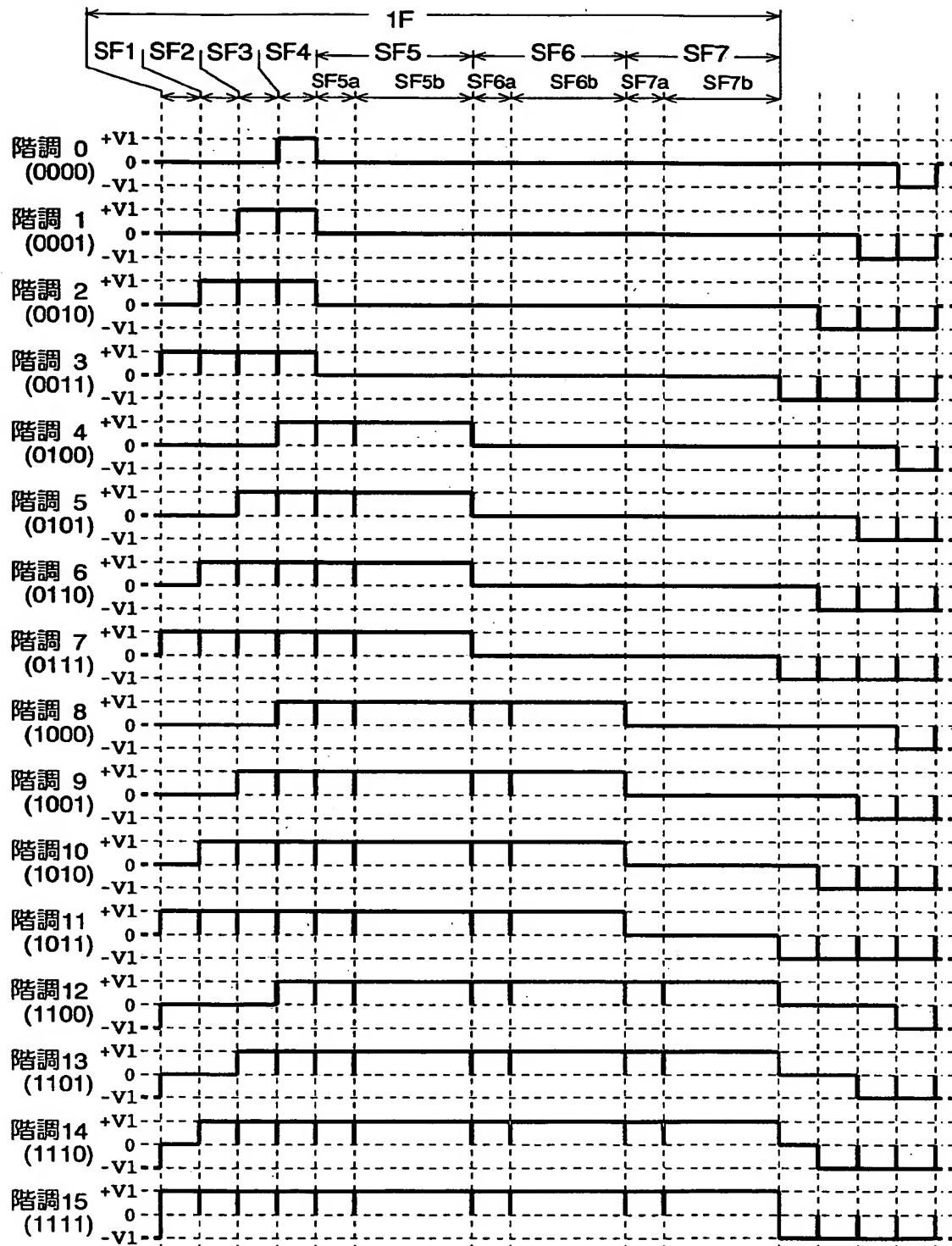
【図 9】



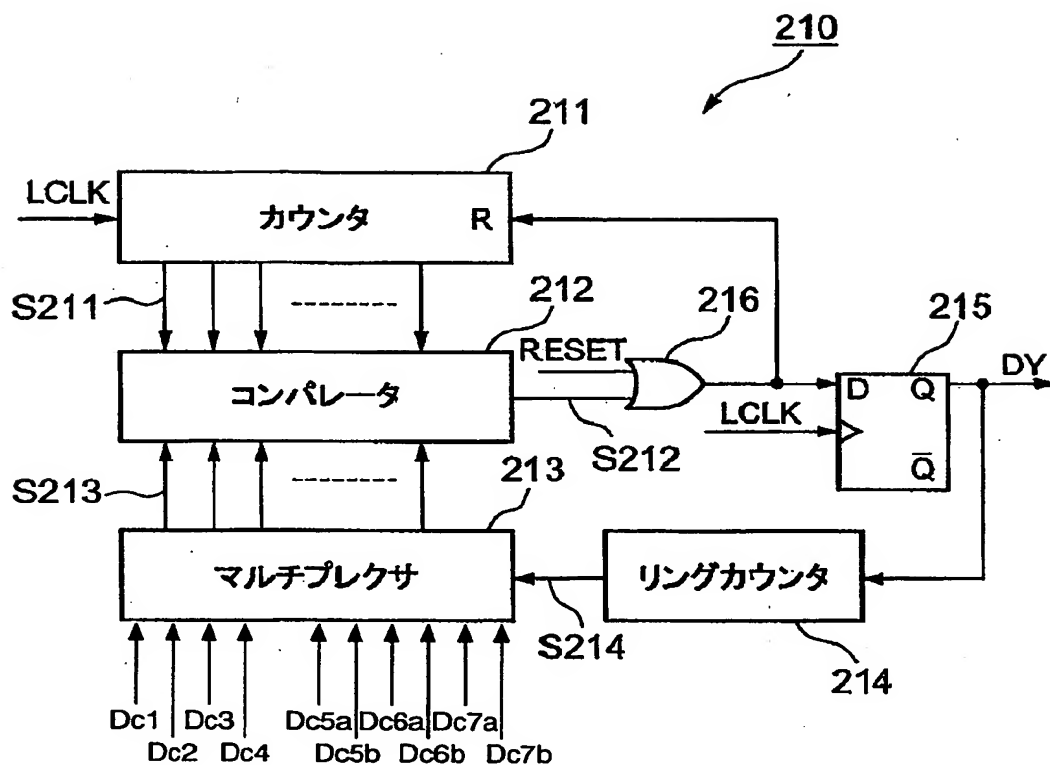
【図 1 0】



【図 1 1】

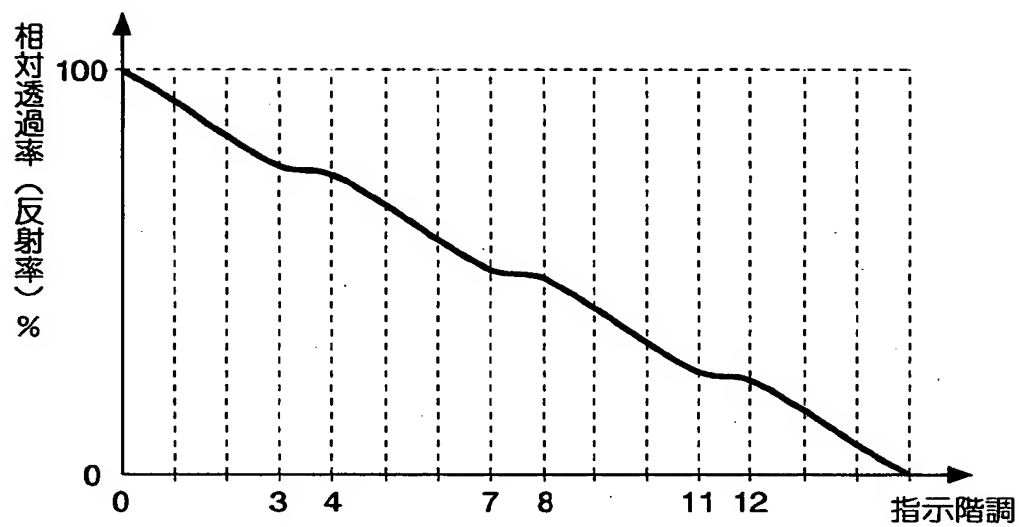


【図12】

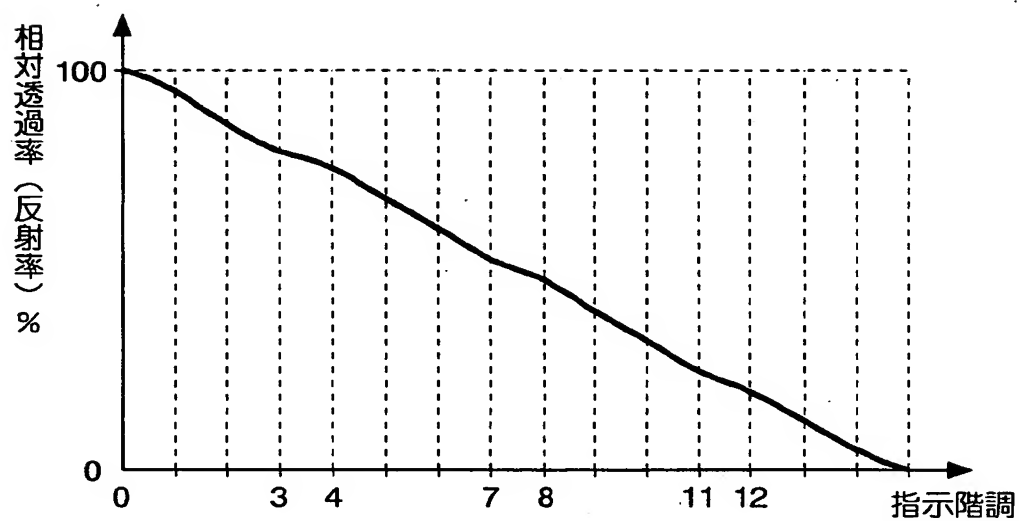


【図 1 3】

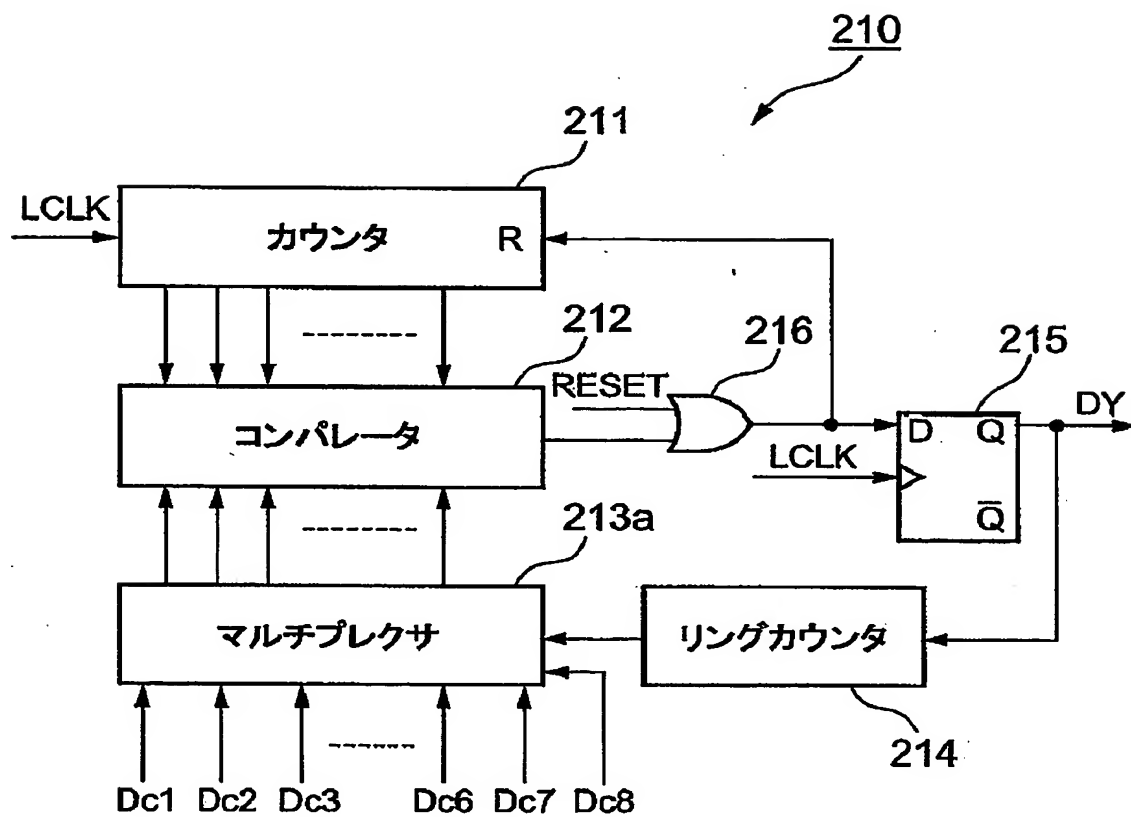
(a)



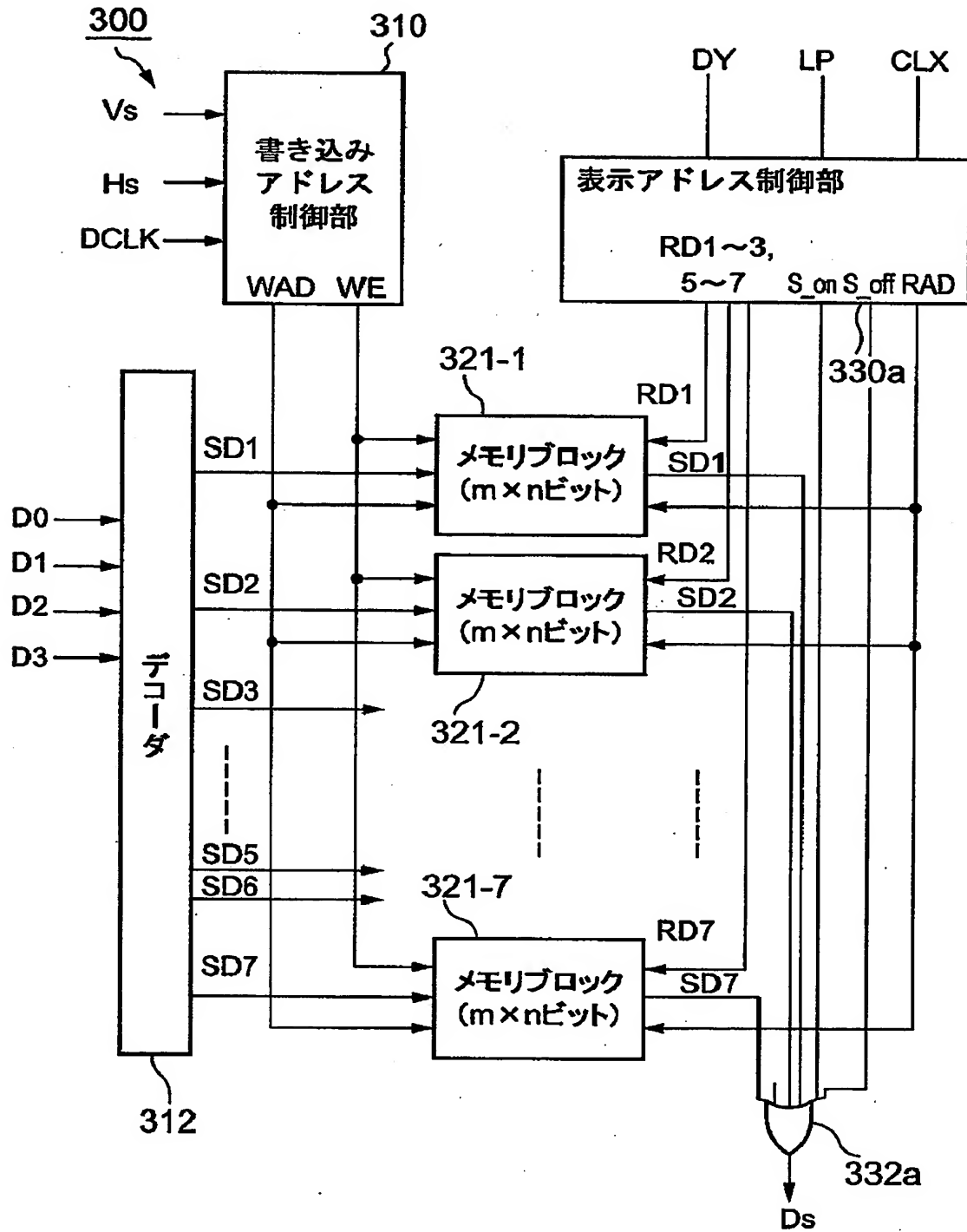
(b)



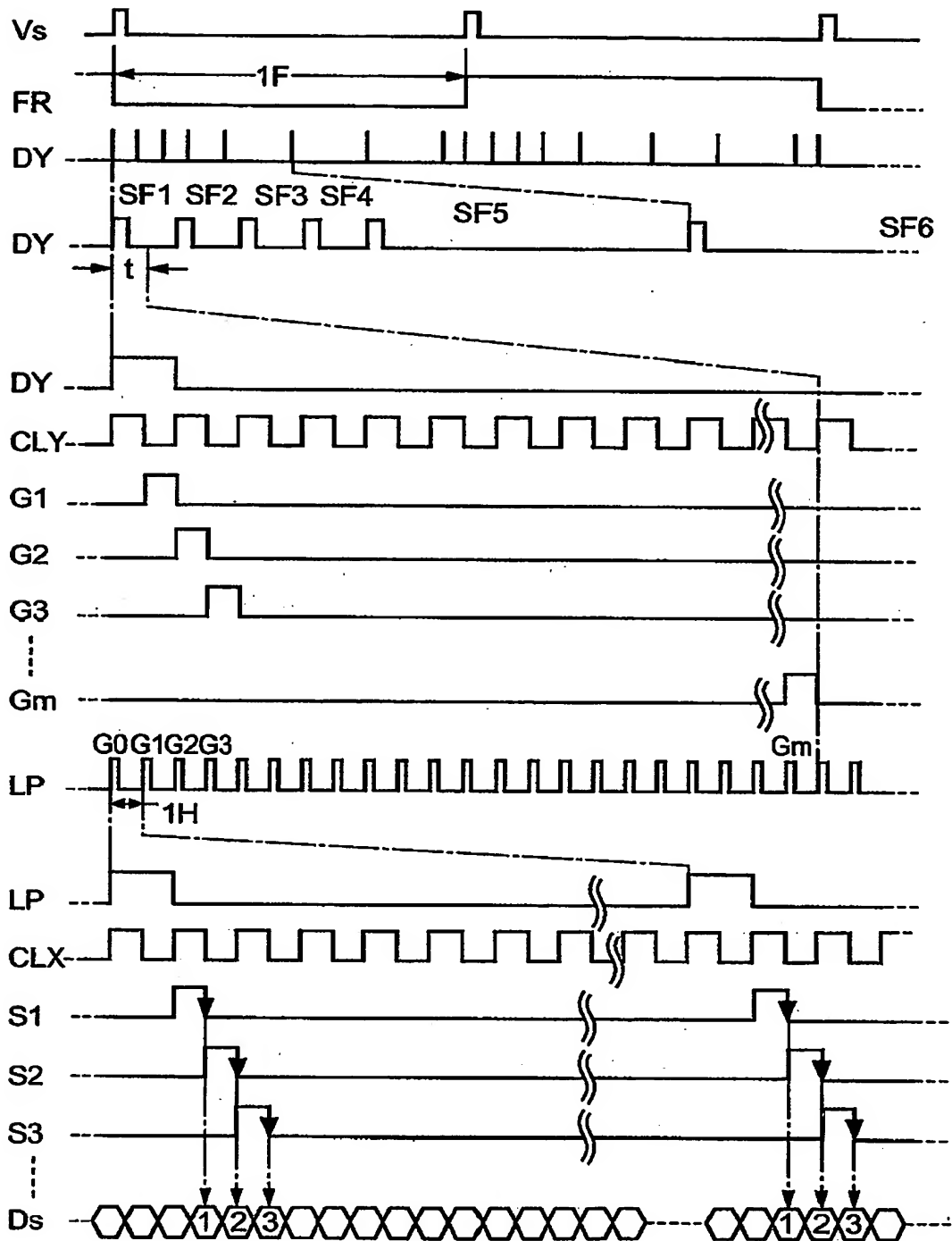
【図 14】



【図15】

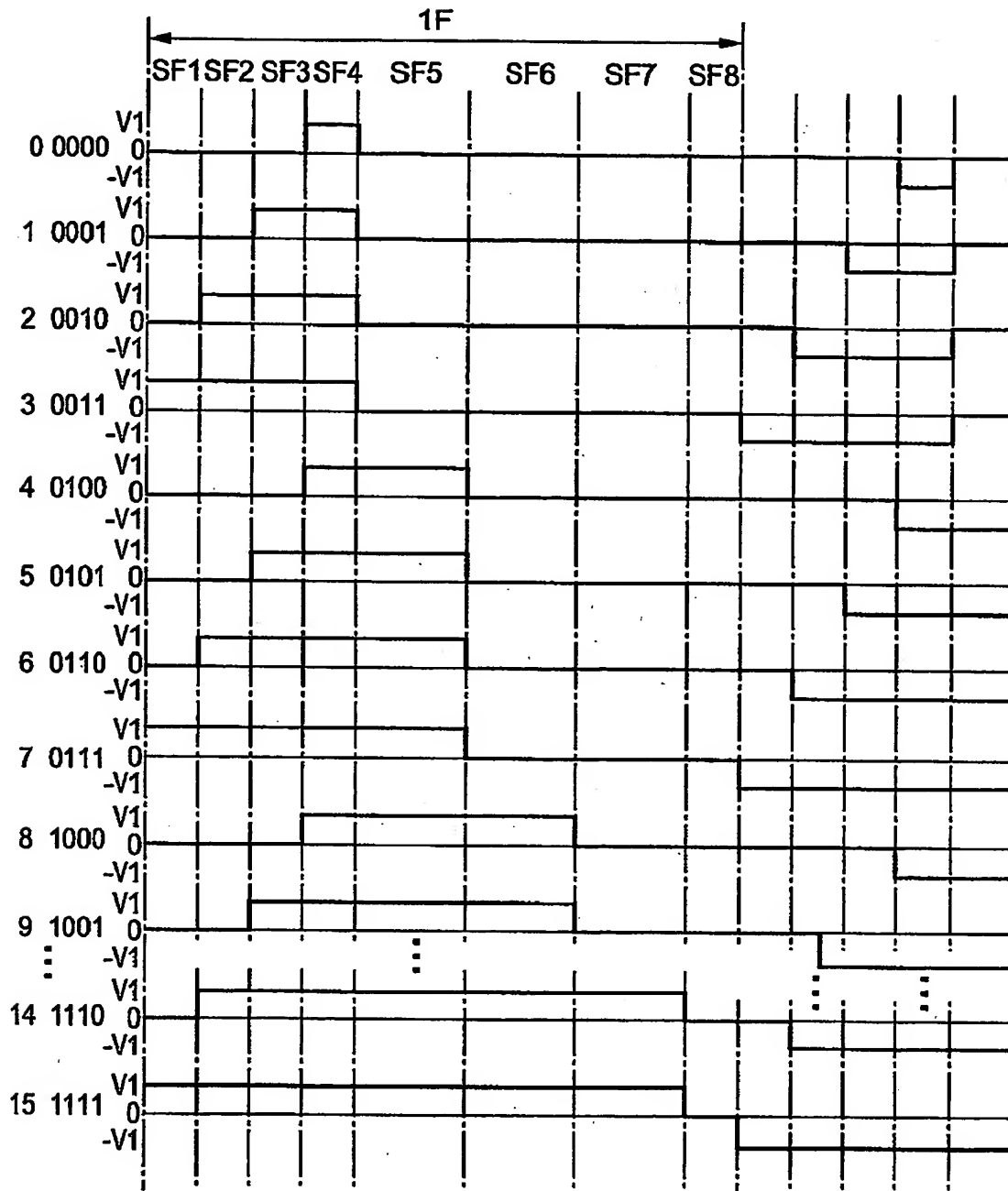


【図 16】

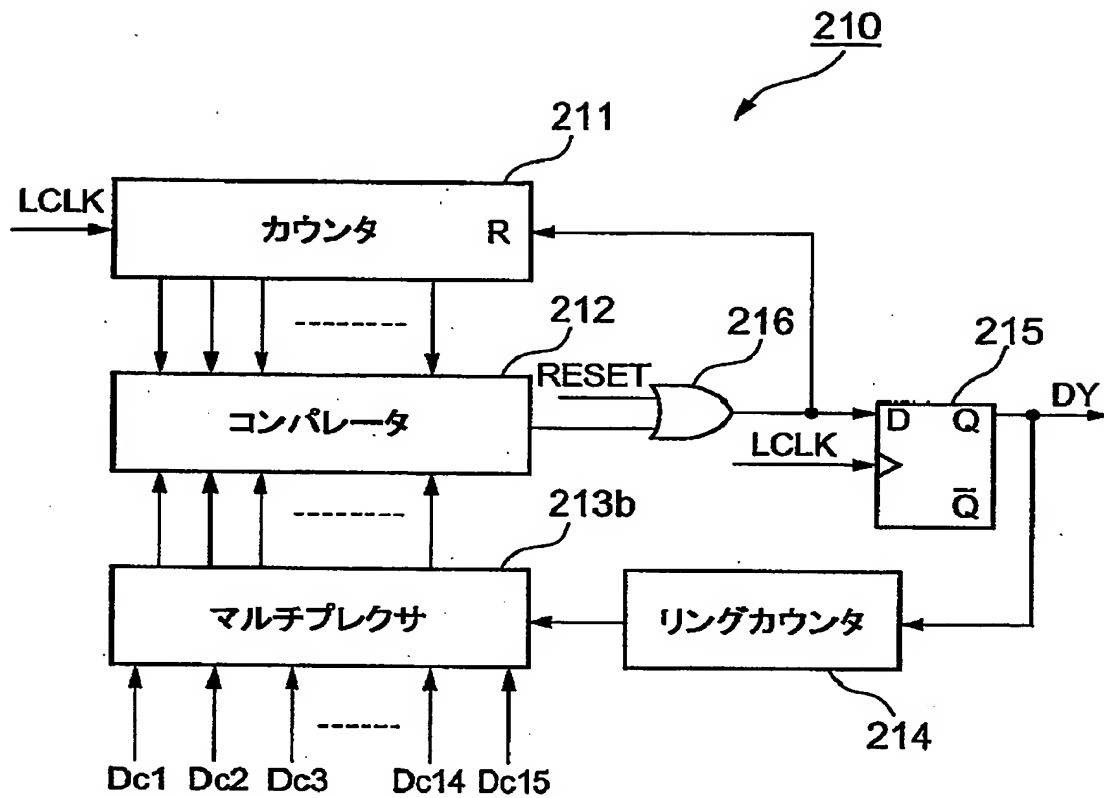




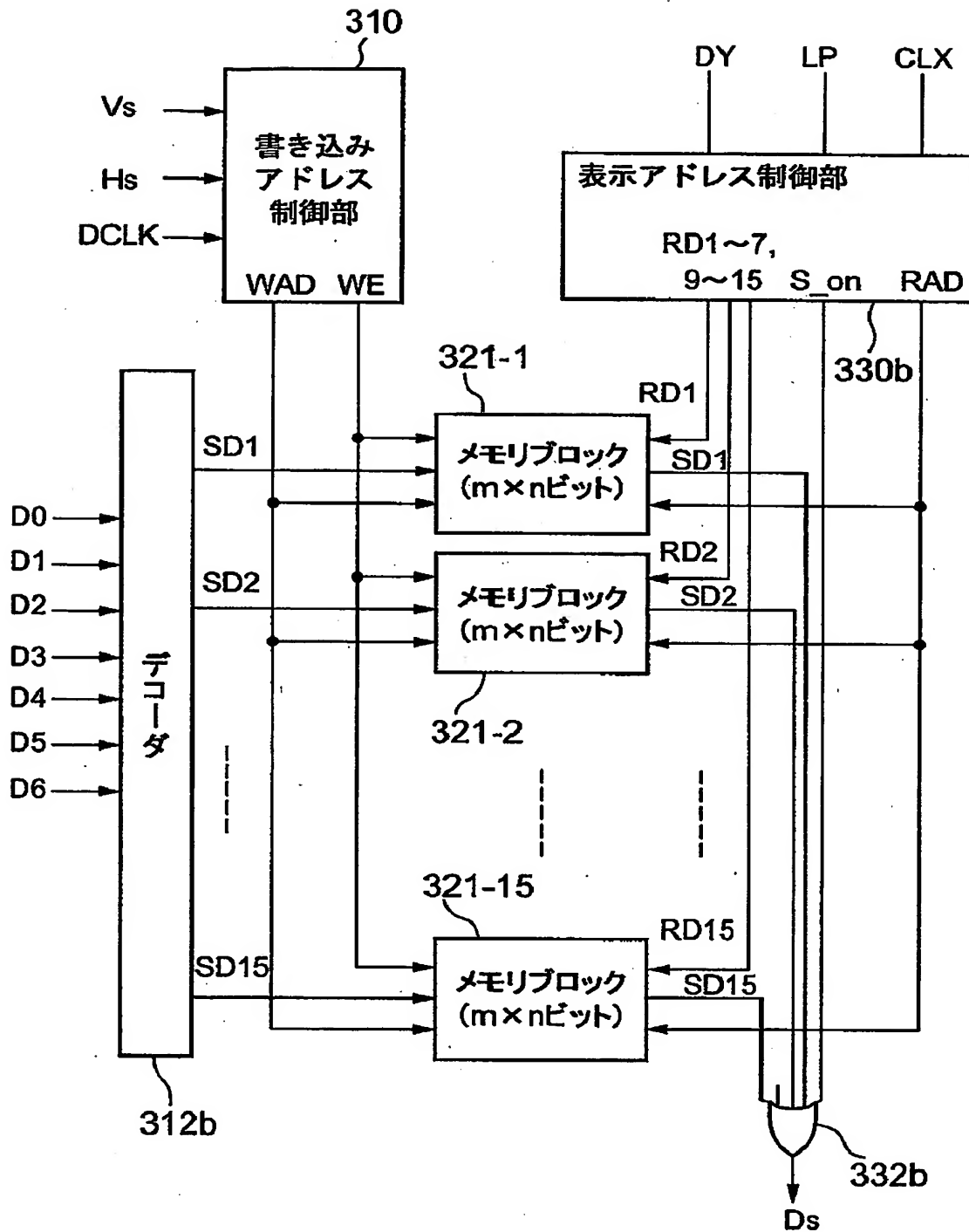
【図 1 7】



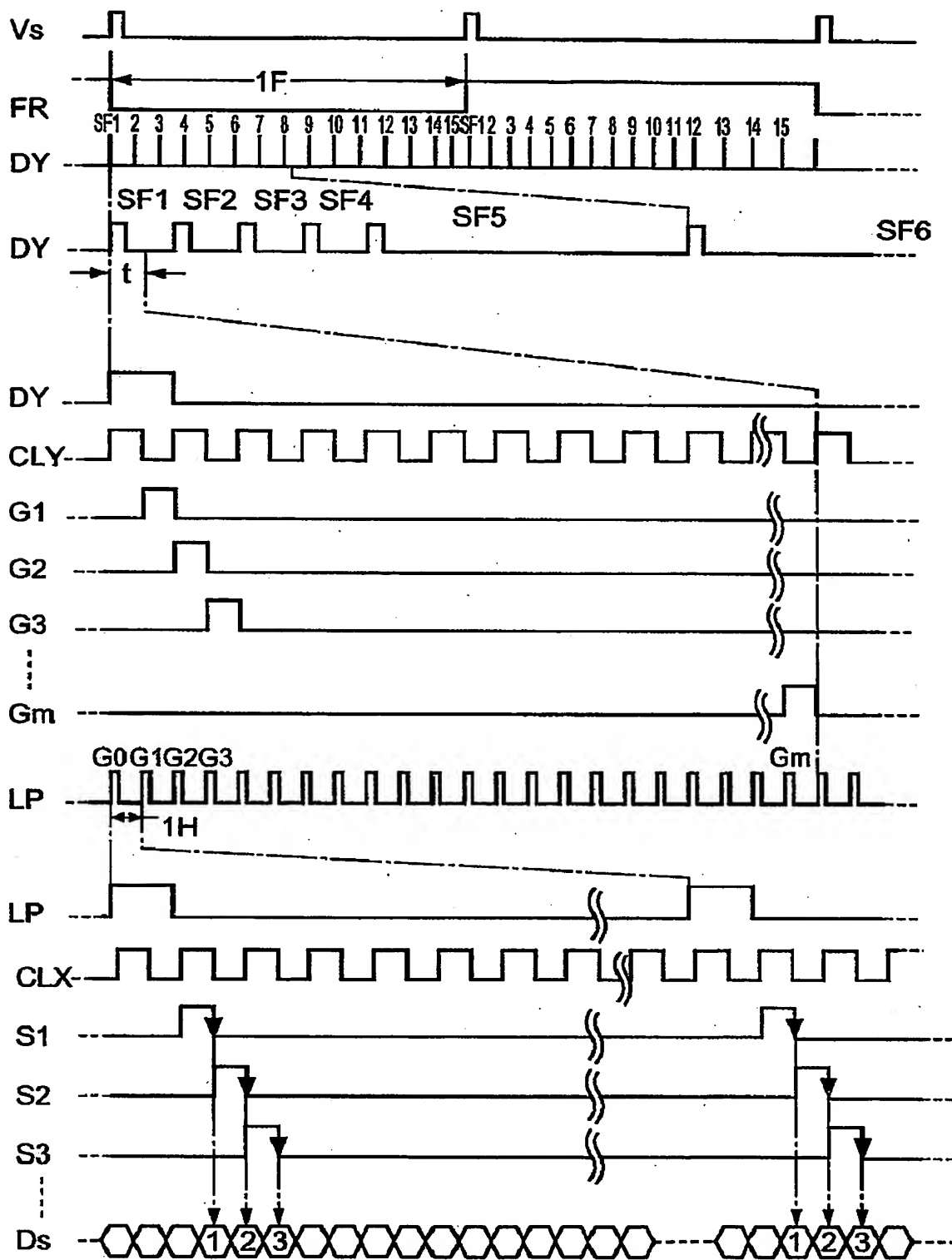
【図18】



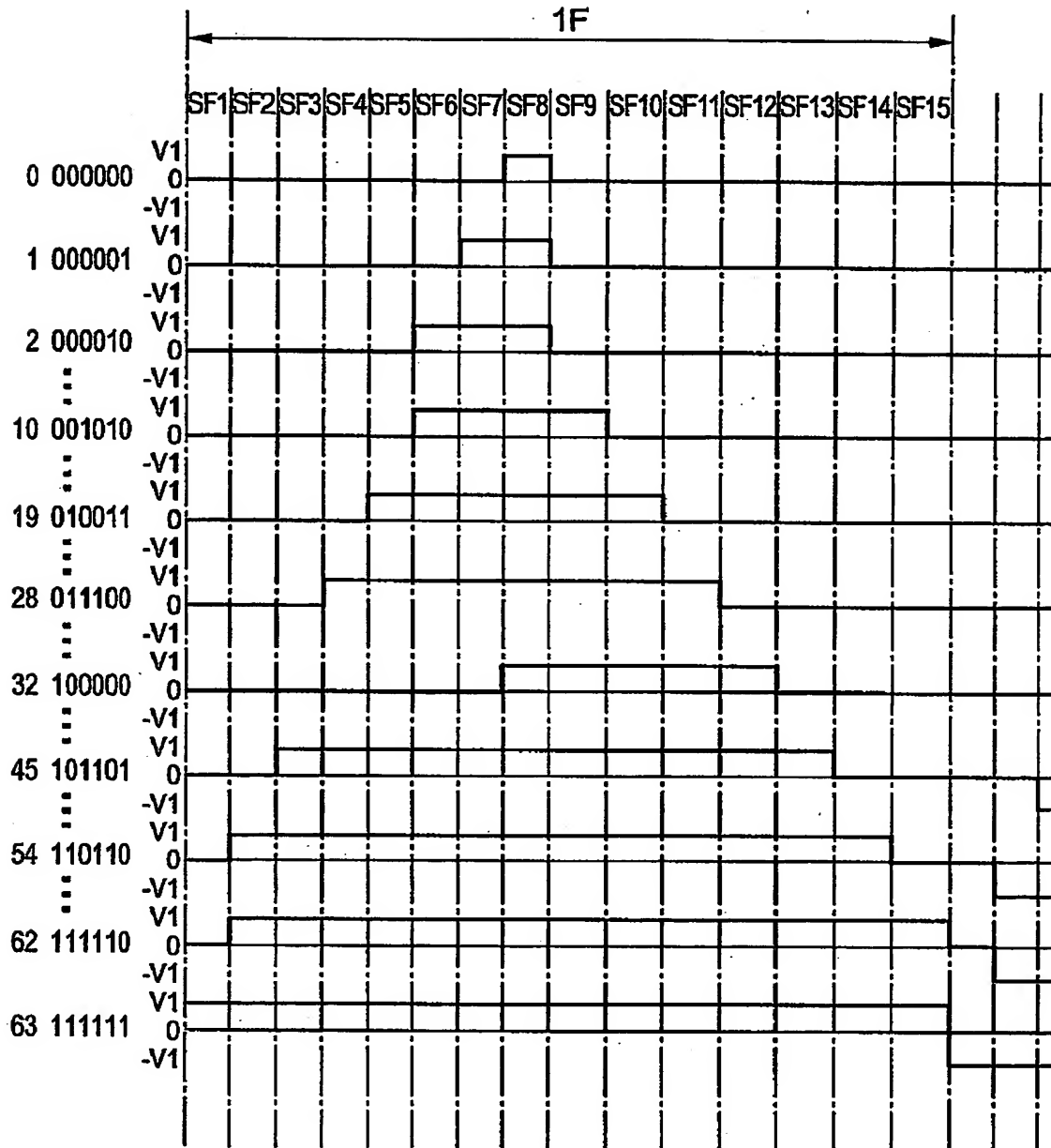
【図19】



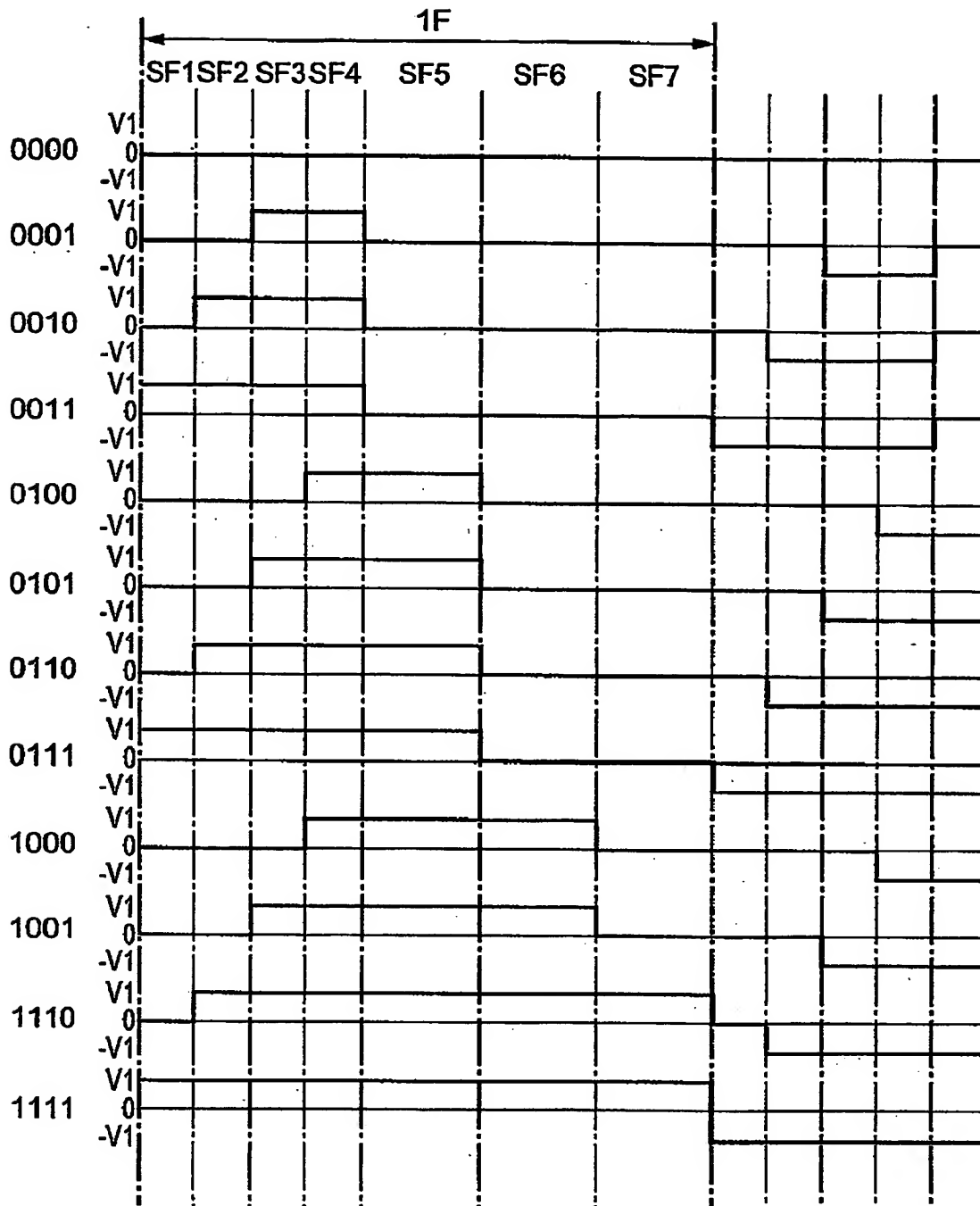
【図 20】



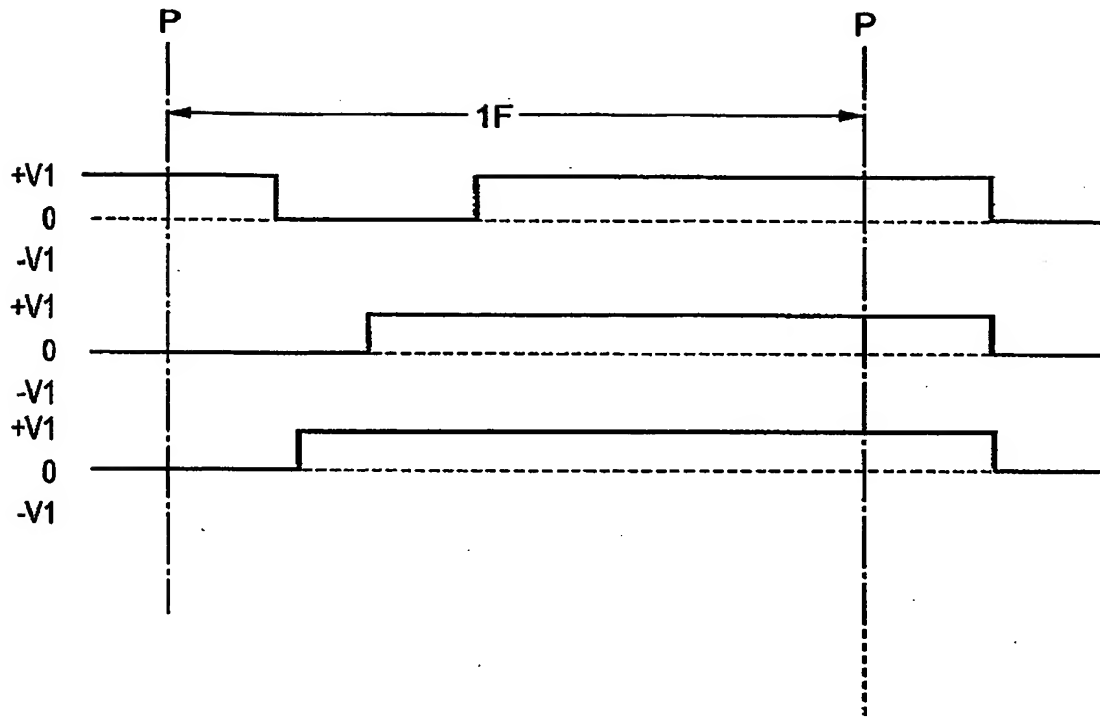
【図 2 1】



【図 2 2】

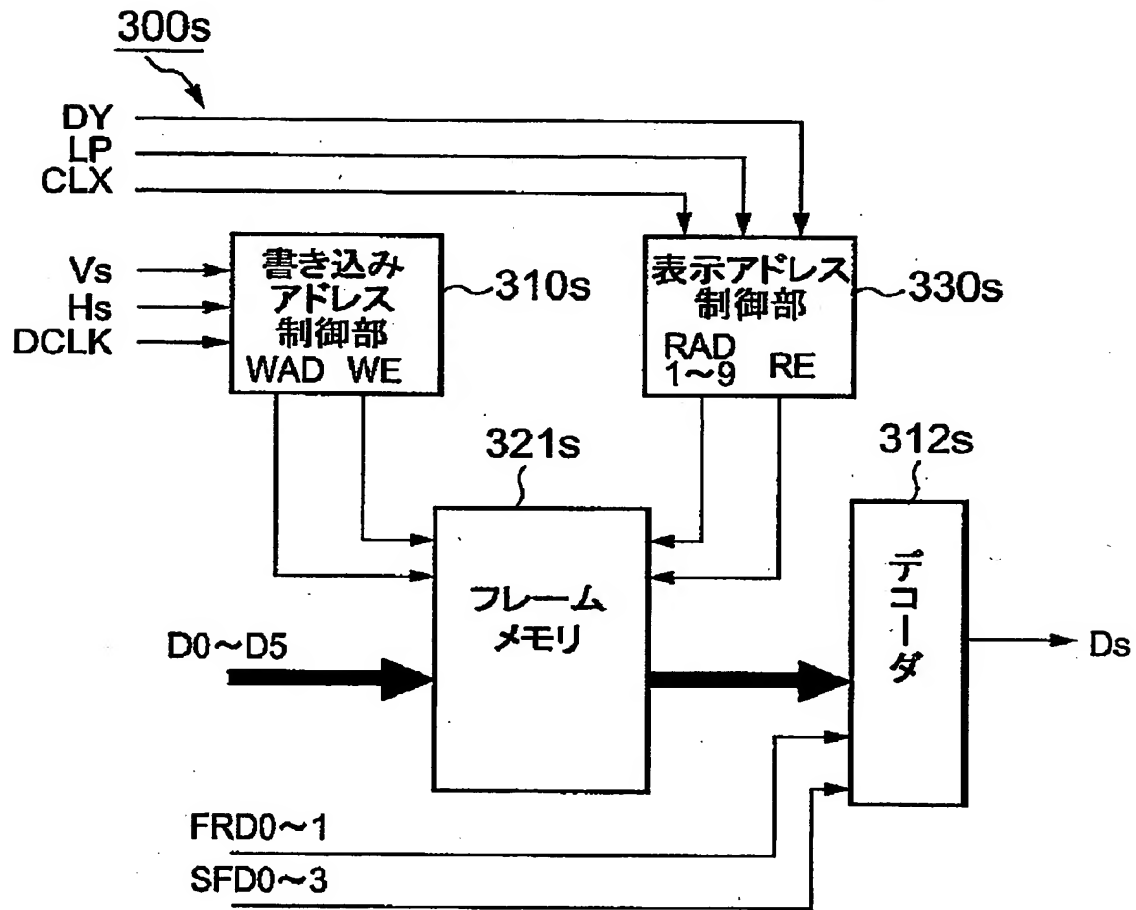


【図 23】



【図 2 4】

64階調 (3FRC) のデータ変換回路ブロック図



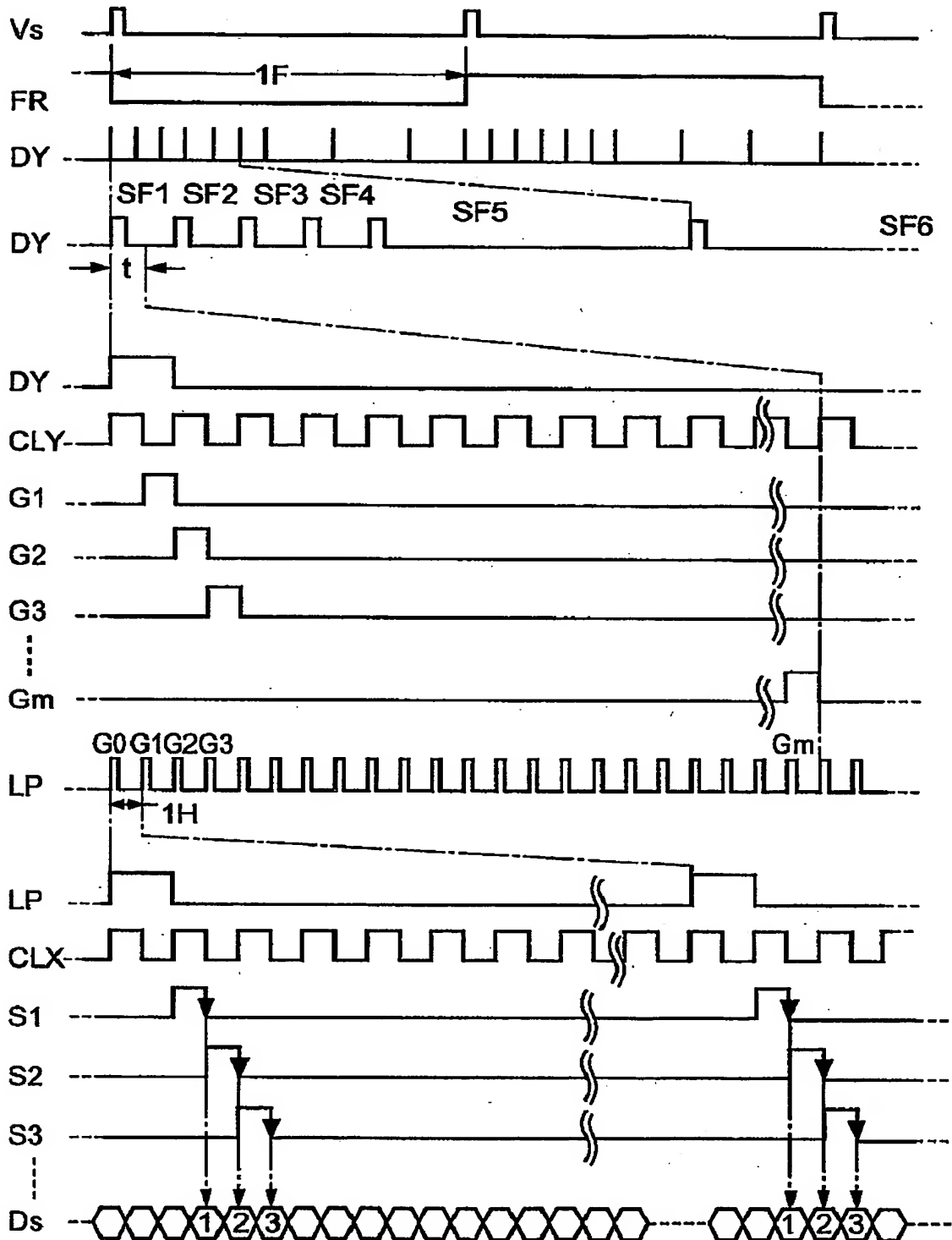


【図 25】

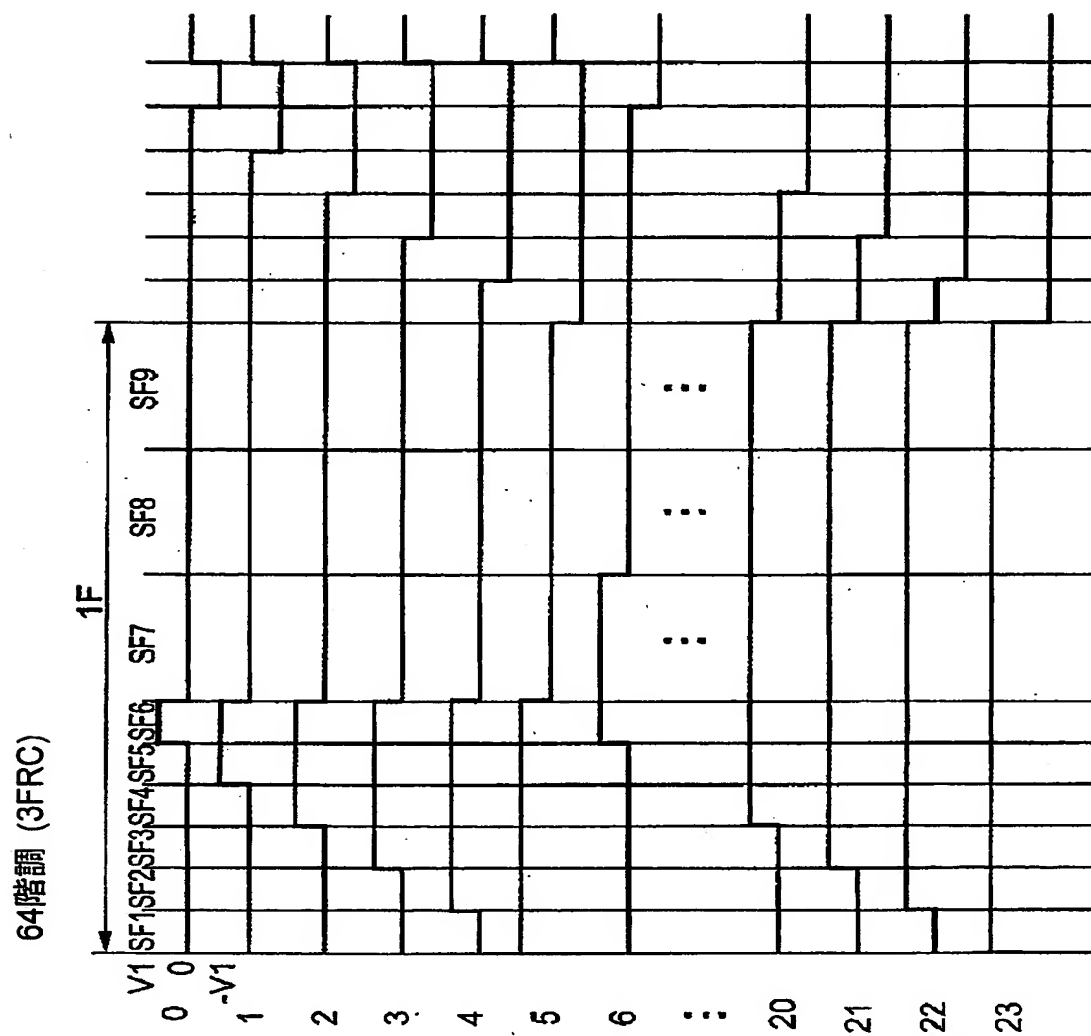
64階調 (3FRC) のデータ真理値表

階調データ	FRD	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	SF9	
000000	00	0	0	0	0	0	1	0	0	0	FR1
000000	01	0	0	0	0	0	1	0	0	0	FR2
000000	10	0	0	0	0	0	1	0	0	0	FR3
000001	00	0	0	0	0	1	1	0	0	0	FR1
000001	01	0	0	0	0	0	1	0	0	0	FR2
000001	10	0	0	0	0	0	1	0	0	0	FR3
000010	00	0	0	0	0	1	1	0	0	0	FR1
000010	01	0	0	0	0	1	1	0	0	0	FR2
000010	10	0	0	0	0	0	1	0	0	0	FR3
000011	00	0	0	0	0	1	1	0	0	0	FR1
000011	01	0	0	0	0	1	1	0	0	0	FR2
000011	10	0	0	0	0	1	1	0	0	0	FR3
000100	00	0	0	0	1	1	1	0	0	0	FR1
000100	01	0	0	0	0	1	1	0	0	0	FR2
000100	10	0	0	0	0	1	1	0	0	0	FR3
000101	00	0	0	0	1	1	1	0	0	0	FR1
000101	01	0	0	0	1	1	1	0	0	0	FR2
000101	10	0	0	0	0	1	1	0	0	0	FR3
111011	00	0	1	1	1	1	1	1	1	1	FR1
111011	01	0	1	1	1	1	1	1	1	1	FR2
111011	10	0	0	1	1	1	1	1	1	1	FR3
111100	00	0	1	1	1	1	1	1	1	1	FR1
111100	01	0	1	1	1	1	1	1	1	1	FR2
111100	10	0	1	1	1	1	1	1	1	1	FR3
111101	00	1	1	1	1	1	1	1	1	1	FR1
111101	01	0	1	1	1	1	1	1	1	1	FR2
111101	10	0	1	1	1	1	1	1	1	1	FR3
111110	00	1	1	1	1	1	1	1	1	1	FR1
111110	01	1	1	1	1	1	1	1	1	1	FR2
111110	10	0	1	1	1	1	1	1	1	1	FR3
111111	00	1	1	1	1	1	1	1	1	1	FR1
111111	01	1	1	1	1	1	1	1	1	1	FR2
111111	10	1	1	1	1	1	1	1	1	1	FR3

【図 2 6】



【図 27】



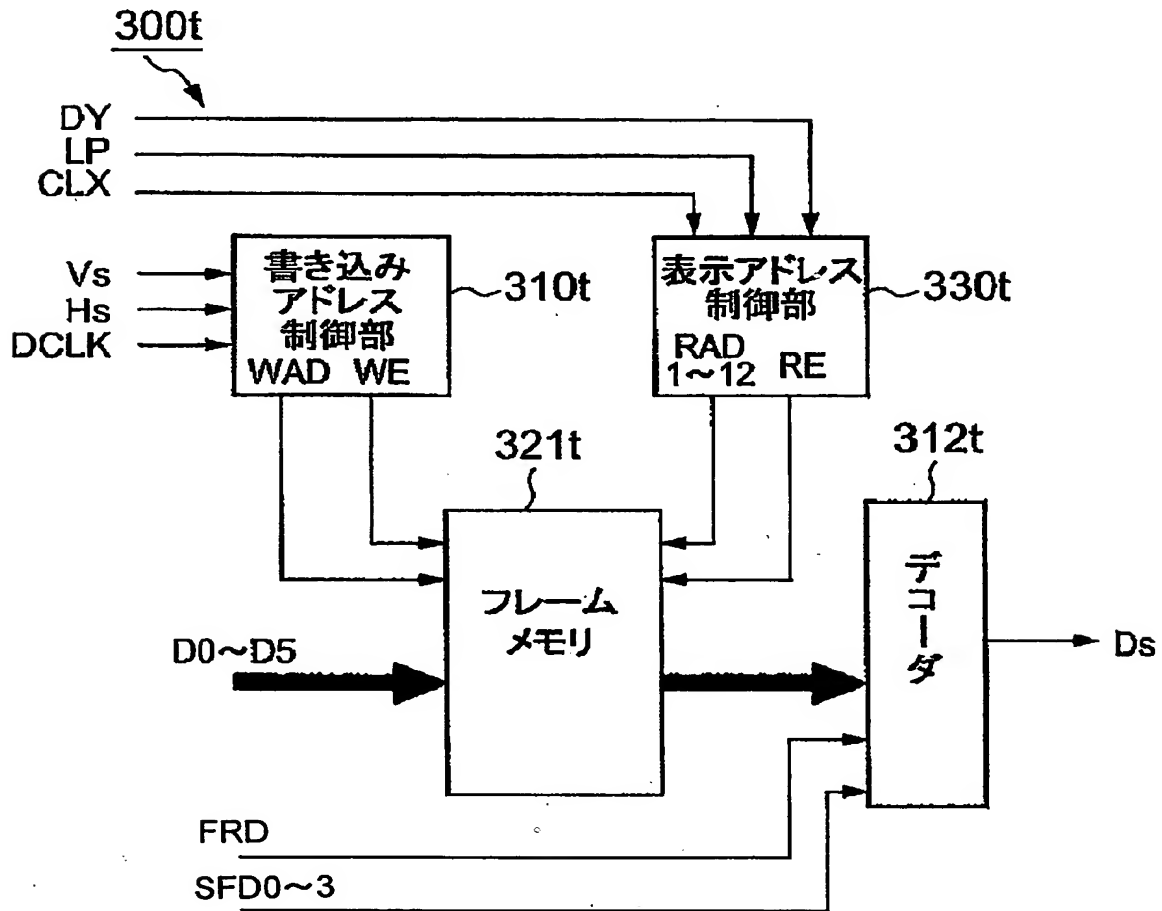
【図 28】

## 64階調(3FRC)

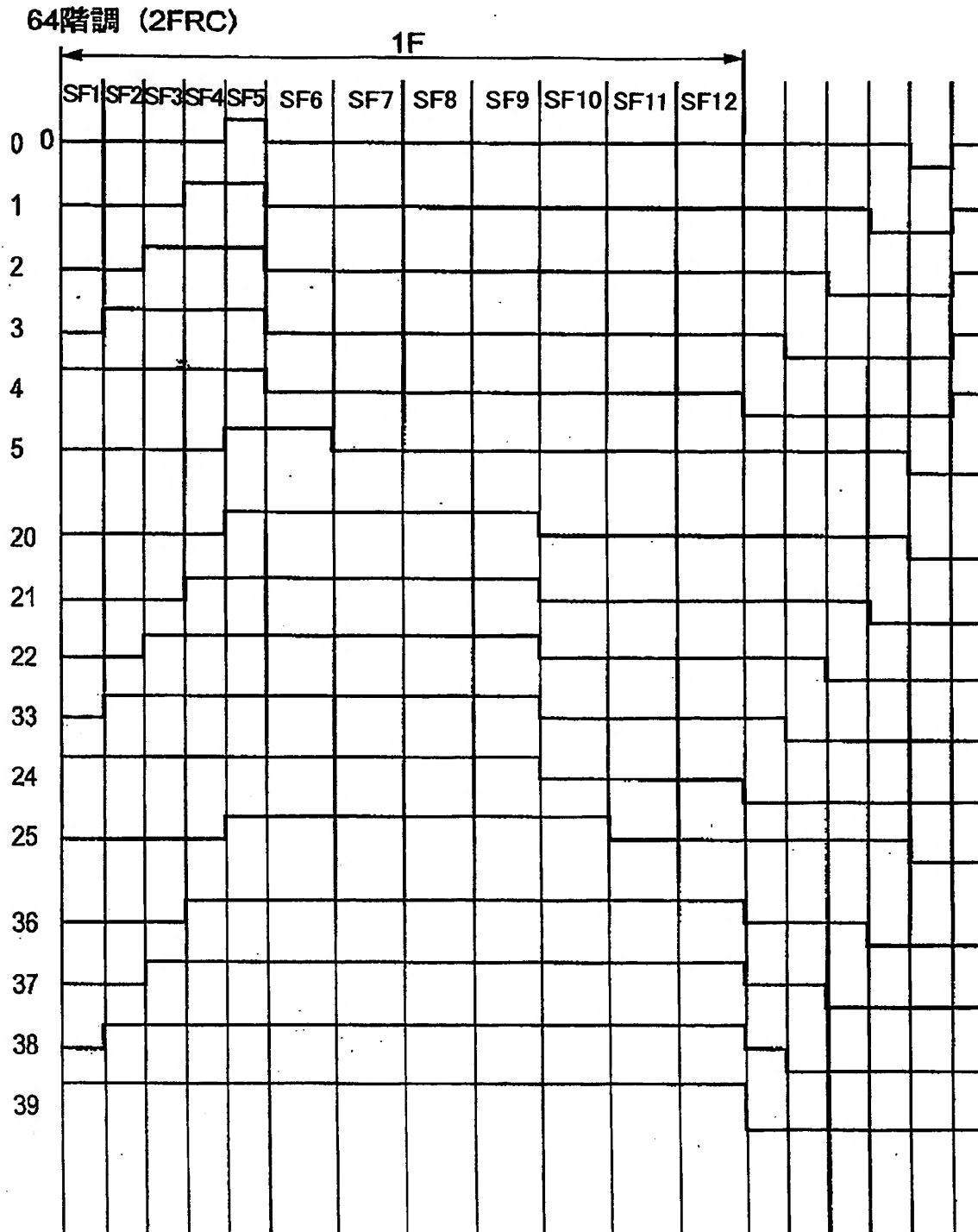
データ	FR1	FR2	FR3
000000	0	0	0
000001	1	0	0
000010	1	1	0
000011	1	1	1
000100	2	1	1
000101	2	2	1
000110	2	2	2
000111	3	2	2
010000	6	6	6
010001	7	6	6
010010	7	7	6
010011	7	7	7
100000	12	12	12
100001	13	12	12
100010	13	13	12
100011	13	13	13
111100	22	22	22
111101	23	22	22
111110	23	23	22
111111	23	23	23

【図29】

64階調 (2FRC) のデータ変換回路ブロック図



【図 3 0】

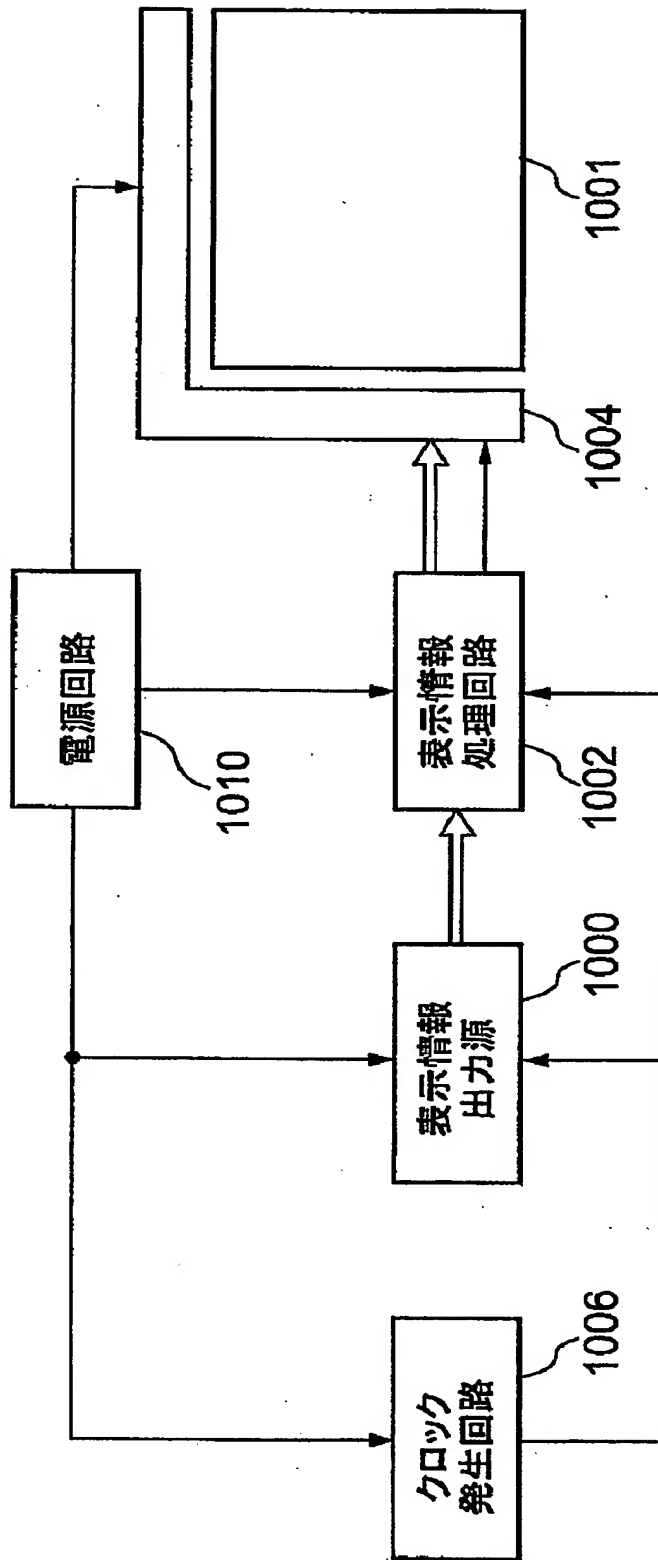


【図 3 1】

## 64階調 (2FRC)

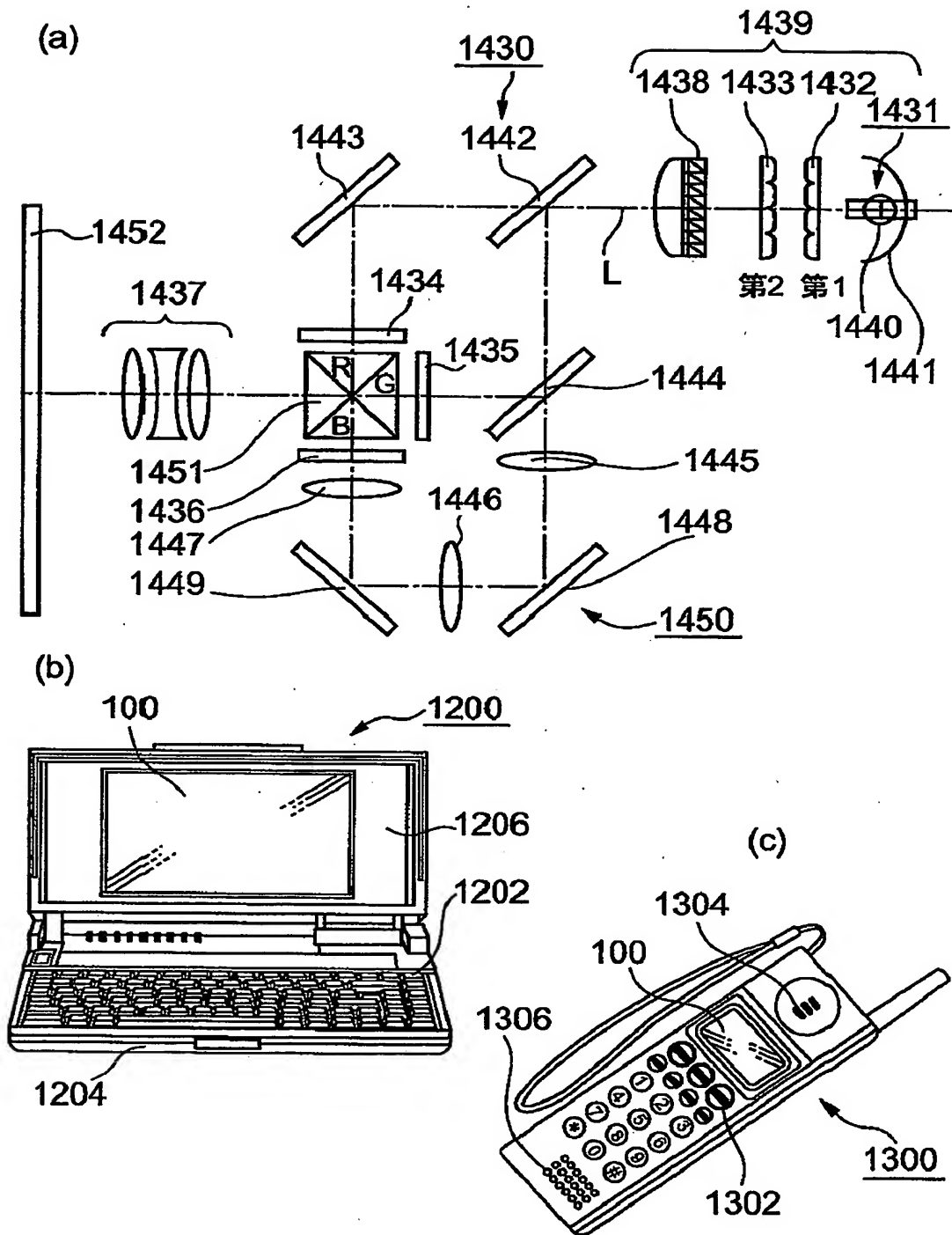
データ	FR1	FR2
000000	1	0
000001	1	1
000010	2	1
000011	2	2
000100	3	2
000101	3	3
000110	4	3
000111	4	4
001000	6	5
001001	6	6
010000	11	10
010001	11	11
010010	12	11
010011	12	12
100000	21	20
100001	21	21
100010	22	21
100011	22	22
111100	38	37
111101	38	38
111110	39	38
111111	39	39

【図 32】

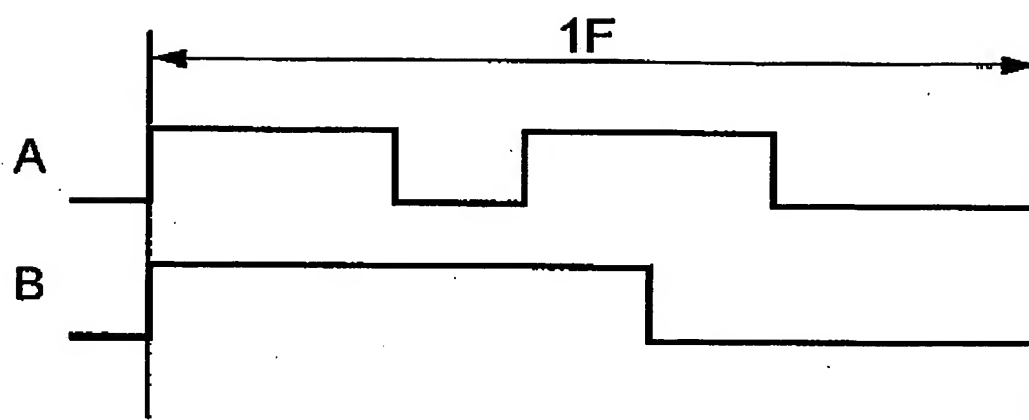




【図 3 3】



【図 3 4】



【書類名】 要約書

【要約】

【課題】 選択されるサブフィールド同士の位置関係の無規則性に起因して、異なる階調を表示する。

【解決手段】 本発明に係る画素の駆動方法は、相互に連続する複数の第1のサブフィールド期間、及び該複数の第1のサブフィールド期間に連続する、相互に連続する複数の第2のサブフィールド期間を、前記複数の第1のサブフィールド期間及び前記複数の第2のサブフィールド期間の境界を基点に離れる方向に、階調データに従って順次選択する選択ステップと、選択された前記サブフィールド期間の間、前記画素をオンにする駆動ステップとを含む。

【選択図】 図 1 0

認定・付加情報

特許出願の番号	特願2001-377794
受付番号	50101818420
書類名	特許願
担当官	第二担当上席 0091
作成日	平成13年12月14日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

【識別番号】	100098084
【住所又は居所】	東京都中央区日本橋一丁目2番10号 東洋ビル ディング7階 朝日特許事務所
【氏名又は名称】	川▲崎▼ 研二

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社